

晶圆键合技术专利 分析研究报告

上海市知识产权服务中心
(上海市知识产权发展研究中心)

2025 年 12 月

声 明

1. 本报告的分析基准日为 2025 年 10 月 31 日,一切分析结论均基于在此基准日之前能够获取的信息与资料而得出。对于基准日之后由于法律、技术、经济环境等发生变化,可能由此引发不同的分析结论。

2. 本报告形成过程中对于数据的检索、筛选、标引、分析等均依据本报告确定的分析“标的”或“事实”(分析“标的”或“事实”主要依据企业提供的特定技术信息以及市场信息为准)及当前所适用的专利法而作出,但并不意味分析服务机构能够保证上述分析“标的”或“事实”的准确性与全面性,也不意味着分析服务机构能够保证上述检索、筛选、标引、分析等处理过程的准确性与全面性。

3. 本报告在依据确定的分析“标的”或“事实”而进行创新启示建议时,不能保证也不能排除其运用于研发、生产与市场的有效性,且不能保证也不能排除与其他公开技术或者专利权利相冲突,在企业后续具体实施中,应当再次进行技术、法律与市场层面的可行性分析。

摘要

本项目的研究目的是：通过对晶圆键合技术相关专利，利用聚类分析方法，从晶圆键合的发展趋势、区域、布局等多角度进行分析。明确晶圆键合技术的关键专利，为国内科研人员和企业提供清晰的研究方向，助力我国在晶圆键合技术在关键领域的自主创新和应用突破，进一步增强我国在半导体制造领域的核心竞争力。

基于上述目的，本报告收集技术关键词、分类号、专利权人及其同位语组合形成的十余组检索式在全球范围内对晶圆键合特定关键技术进行了专利检索，经过人工筛选和去重后得到 **22807 族/39993 件** 相关专利，其中直接键合技术 **5690 族**；临时键合技术 **3711 族**；混合键合技术 **2211 族**；其他键合技术 **1029 族**。

基于研究发现：

从技术层面看，晶圆键合技术发展历经“萌芽期-拓展期-快速增长期-爆发期”四阶段演进，形成直接键合（**43%**专利占比）、临时键合（**28%**）、混合键合（**24%**）为主的技术体系，混合键合因适配 Chiplet、HBM 等高密度集成需求，成为全球重点布局方向，键合节距已从 **10 μ m** 缩小至 **300nm**，温度降至 **150℃** 以下。

区域与竞争格局呈现“中美主导、头部聚集”特征：中国大陆（**29%**专利占比）与美国（**24%**）合计占据 **53%** 市场份额，台积电（**2904 件**）、信越化学（**1426 件**）、三星（**1164 件**）为全球龙头，长江存储（**918 件**）、中芯国际（**420 件**）、拓荆键科（**88 件**）构成中国大陆核心梯队，全球龙头企业主导基础核心专利布局，中国大陆企业在应用端快速突破。

国产化进展表现为“局部突破、整体追赶”。长江存储在混合键合、拓荆键科在键合设备领域实现技术落地，支撑 **3DNAND**、先进封装量产，但核心材料（键合胶、铜钝化剂）、高端设备（混合键合机）及海外专利布局仍存在短板，海外专利占比普遍低于 **20%**。

专利运营以转让为主（72%），质押（24%）与许可（4%）为辅，其中转让和质押主要涉及海外权利人，如国际商业机器公司和格罗方德公司之间的专利转让、艾德亚半导体公司与加拿大皇家银行以及美国银行之间的质押等。中国大陆企业运营以本土合作为主，国际化能力有待提升。

为推动晶圆键合技术国产化，提出四大核心建议：（1）材料方面：突破核心材料依赖，构建国产化配套体系；（2）键合对准技术：抢抓核心赛道机遇，强化技术与设备协同；（3）混合键合技术：锚定 AI 与先进封装刚需，构建“技术-产业-专利”协同壁垒；（4）专利预警与海外布局：规避侵权风险，提升全球话语权。

目 录

声 明	II
摘 要	III
第一章 晶圆键合技术概述	1
1.1 项目背景	1
1.2 研究目的	2
1.3 研究思路	2
1.4 检索策略与检索结果	3
1.5 晶圆键合技术介绍	4
1.6 产业发展状况	7
1.7 国内政策环境	9
第二章 晶圆键合技术发展方向分析	3
2.1 整体专利分析	3
2.2 主要权利人和发明团队分析	6
2.3 细分技术分布分析	10
2.4 专利运营分析	11
2.5 本章小结	11
第三章 国内外主要权利人的市场地位与专利控制力	13
3.1 全球主要权利人	13
3.2 中国大陆主要权利人	35
3.3 权利人对比分析	55
3.4 本章小结	57

第四章 晶圆键合特定技术专题分析	59
4.1 直接键合	59
4.2 临时键合	62
4.3 混合键合	65
4.4 其他键合	67

第一章 晶圆键合技术概述

1.1 项目背景

晶圆键合技术作为半导体先进封装与异构集成的核心支撑,自产业化以来其工艺成熟度与应用范围持续拓展,尤其是近五年呈现出加速突破的创新态势。譬如,2022年晶方科技牵头国家重点研发计划,突破晶圆级键合与垂直互连关键技术,构建起高端传感器封装测试公共服务平台;2023年中国科学院物理所开发出二维半导体晶圆直接键合及解键合方法,实现高质量叠层结构制备,为后摩尔时代器件集成提供新路径;2024年中瑞合作团队通过氢离子注入结合晶圆键合技术,实现钽酸锂光子芯片批量制造,突破光通信领域性能瓶颈;2025年拓荆科技混合键合设备批量交付先进存储与逻辑芯片客户,青禾晶元C2W键合技术实现异构集成成本优化,打破传统工艺局限。

技术的持续迭代推动晶圆键合在3DNAND存储、AI芯片堆叠、光子集成等关键领域的深度应用,凭借其在提升芯片集成度、降低互连损耗、拓展材料适配性等方面的核心优势,引发全球半导体产业界与学术界的广泛关注。其中,通用型晶圆键合技术侧重工艺兼容性与规模化生产能力,垂直领域专用技术则聚焦特定场景的性能优化,为半导体产业实现高密度集成、低成本制造及高性能突破提供核心支撑。从产业规模看,全球晶圆键合相关市场保持稳步增长,2023年全球先进封装市场规模约340亿美元(晶圆键合占核心支撑地位),同比增长12%,到2026年预计将达520亿美元,成为半导体产业增长的关键引擎。从竞争格局来看,全球晶圆键合技术呈现“中美主导”的格局,美国英帆萨斯(Invensas)公司凭借其在混合键合、铜-铜键合领域的核心专利布局,长期占据技术许可市场主导地位,其技术许可政策对全球产业格局影响深远——不仅对包括中国企业在内的国际客户收取高额专利使用费,还附加了严格的技术使用限制与区域授权条款,甚至配合美国半导体出口管制政策,对先进技术许可实施差异化管理控。目前美国主导的技术限制手段已逐步落地,包括限制高端键合设备对华出口、强化

核心专利许可审查，部分美国追随国也同步限制含 Invensas 授权技术的产品向中国市场供应，对中国产业发展形成双重挤压。

晶圆键合技术创新始终围绕材料适配、工艺精度、设备性能三大核心要素动态演进。在设备进口受限、核心专利许可被制约的不利条件下，中国如何通过工艺创新、国产化设备研发及替代技术路径探索，已成为突破技术瓶颈、提升产业竞争力的重要策略。通过对晶圆键合技术优化方向、国产化替代路径及国际竞争态势的分析研究，能够深入把握该领域技术发展规律，为国内企业提供技术选型与市场布局的决策依据，助力突破 Invensas 等国际企业的专利壁垒与许可限制，加速核心设备与工艺的国产化替代进程，引导国内半导体键合产业形成协同创新生态，推动中国在全球半导体先进制造领域占据更有利地位。

1.2 研究目的

本报告以专利文献为主要研究对象，综合晶圆键合技术特征关键字及其同位语、国际技术分类号、主要专利权利主体及其同位语、申请人所在区域等方式，获取全球的专利数据。利用聚类分析方法进行晶圆键合的发展趋势、区域、布局等多角度分析。以专利分析为明线，产业分析为暗线。明确晶圆键合技术的关键专利和技术路线图，为国内科研人员和企业提供清晰的研究方向，提升企业在该领域的技术水平和创新能力的同时，助力我国晶圆键合技术在关键领域的自主创新和应用突破，进一步增强我国在先进半导体制造领域的核心竞争力。

1.3 研究思路

1.3.1 分析方法

本项目采用专利文献研究、产业研究相结合的方式进行研究。

专利文献研究通过综合晶圆键合的技术特征关键字及其同位语、国际技术分类号、主要专利权利主体及其同位语、申请人所在区域等方式，通过构建检索式在专业专利数据库中获取全球的专利数据。主要采用聚类分析方法，开展趋势、区域、布局和核心专利等分析。

1.3.2 分析内容

本报告分析内容具体而言，从宏观整体态势到中观关键参与者，再到微观技术分析及应用分析的脉络展开分析。

首先，通过分析全球范围内晶圆键合相关技术的整体专利申请趋势、技术区域分布、专利主体类型、专利同族及引证等关键信息，揭示该技术的发展脉络与未来走向。

其次，报告聚焦核心权利人，进行具体分析，包括申请趋势、区域分布、法律状态、技术发展动态，来剖析其技术布局与创新实力，助力企业精准把握市场竞争格局。

同时，报告针对直接键合、混合键合等核心技术进行专题探讨，通过解读关键专利方式，了解不同技术问题背景下各创新主体是如何进行技术攻关，以此来推动技术深化与创新，进一步为研发提供创新思路。

1.4 检索策略与检索结果

1.4.1 检索策略

本项目研究对象为：晶圆键合技术相关专利

（1）检索地区的选择：根据本项目的实施方法和实施路径，确定本项目的专利数据分析范围为：全球。

（2）检索方式的选择：采用 CPC 分类号，辅以主要权利人等权利人进行检索。

（3）分类号的确认：

a) 尝试性检索

利用晶圆键合技术相关市场主体（台积电、艾德亚半导体、长江存储等）作为关键词，在专利网站和数据平台上进行检索，观察并记录检索结果，进而形成晶圆键合相关 CPC 分类号表初稿。

b) 修正检索

根据与晶圆键合产业的相关性对 IPC 分类号和关键词表的初稿进行修正, 并进行梳理分类, 进而形成最终 IPC 分类号表及最终关键词表。

c) 最终检索

使用最终确定的分类号确认表及关键词表, 结合重点专利权人进行组合检索。

1.4.2 检索结果

本报告检索范围: 截至 2025 年 10 月 30 日, 晶圆键合特定技术在全球公开/公告之专利申请。

本报告检索结果: 基于本项目确定的关键字词组制定检索(附件一), 检索到两万余族相关专利, 经过人工筛选和去重后得到 22807 族/39993 件相关专利, 其中直接键合技术 5690 族; 临时键合技术 3711 族; 混合键合技术 2211 族; 其他键合技术 1029 族。

1.5 晶圆键合技术介绍

晶圆键合技术是后摩尔时代半导体先进封装、三维集成电路(3D IC)及异构集成的核心支撑技术, 通过物理或化学手段实现芯片、晶圆或基片间的紧密连接, 同时满足电气互连、机械支撑、热管理及密封性等需求, 是突破传统二维封装性能瓶颈、提升芯片集成度与能效的关键路径。

从技术演进来看, 晶圆键合可分为传统键合(如引线键合、芯片粘贴)与先进键合(如直接键合、临时键合、混合键合)两大类。其中, 直接键合、临时键合与混合键合因适配 3D 堆叠、超薄晶圆加工及高密度互连需求, 已成为先进封装领域的主流技术。

直接键合技术作为晶圆键合的基础分支, 其发展始于 1969 年 Wallis 和 Pomerantz 提出的硅/玻璃静电键合理论, 这一发现为现代键合技术奠定了基石。1970 年代 NASA 在太空实验中观察到的金属表面自发粘附现象, 进一步完善了无介质键合的理论体系, 而 1979 年金硅共熔键合在压力传感器封装中的应用, 则实现了该技术从理论到实践的初步跨越。1986 年成为直接键合技术的里程碑年份, 国际商业机器公司的 Lasky 与东芝公司的 Shimbo 几乎同时独立攻克硅晶

圆直接键合难题——Lasky 提出的“室温预键合+高温退火”工艺，以及 Shimbo 开发的原子级表面平坦化与清洁技术，共同标志着现代直接键合技术的正式诞生。进入 1990 年代，索泰克公司（Soitec SA）与 CEA-LETI（法国原子能和替代能源委员会下属机构）联合研发的 SmartCut™技术，将直接键合与离子注入相结合，成为 SOI 晶圆制造的主流方案。2000 年后，表面活化键合（SAB）技术的出现通过等离子体处理实现了室温无中间层键合，大幅降低了工艺热预算；而索尼从 Ziptronix 公司（2015 年被 Tessera 也就是后来的 Xperi 收购，2022 年，Xperi 将知识产权授权业务分拆成立独立公司艾德亚半导体——Adeia）获得 ZiBond 技术许可后，将其应用于 CMOS 图像传感器，使其市场地位实现跨越式提升。在这一技术演进过程中，国际商业机器公司与东芝作为开创者持有基础专利，Soitec SA/CEA-LETI 凭借 SmartCut™技术主导 SOI 领域，Ziptronix 的 ZiBond 专利则拓展了技术应用边界。

临时键合技术的兴起源于超薄晶圆加工的现实需求，其产业化起点可追溯至 1990 年代末美国布鲁尔科技公司（Brewer Science）推出的首款商业化临时键合材料，该材料采用热滑移解键合机制，有效解决了 100 μm 以下晶圆的机械强度不足问题。2000 至 2005 年，以日本信越化学和东京应化为首的企业推出热塑性树脂基临时键合胶，通过 200℃以上热软化实现解键合，构成第一代临时键合技术的核心；2005 至 2010 年，3M 开发的单/三层 UV 固化胶带与 Brewer Science 的 ZoneBOND®技术引领第二代技术革新，前者通过紫外线降解实现解键合，后者则采用机械分离方式，适配不同封装工艺流程；2010 年后，激光解键合材料的出现将解键合方式拓展至 UV 到近红外全波长范围，解决了热敏感器件的加工难题，形成第三代技术体系；2015 年至今，第四代多功能复合材料成为发展主流，深圳先进电子材料国际创新研究院开发的热滑移材料于 2016 年实现产业化，清华大学万青团队发明的室温临时键合技术则突破了 6-12 英寸大尺寸晶圆的键合瓶颈，适配铌酸锂等特殊材料加工。在这一迭代过程中，Brewer Science 以 ZoneBOND®技术专利主导材料发展方向，3M 的胶带专利在扇出型封装领域广泛应用，信越化学与东京应化构建了热塑性材料的技术框架。而国内科研机构与企

业的创新则推动了技术的国产化落地，如万青教授团队发明的低成本室温临时键合技术，无需高温（传统临时键合需 200–400℃），通过界面物理化学优化实现晶圆“无热应力贴合”，打破国外对“高温临时键合”的技术垄断，为国内 MEMS、5G 射频器件（LN/LT 滤波器）提供低应力、低成本的键合方案，目前已在国内射频器件厂商完成小批量验证。

混合键合技术作为先进封装的核心支撑，其构想最早源于 1980 年代中期三角研究所（RTI）Paul Enquist 等人提出的“直接键合互连（DBI）”概念，首次将介质键合与金属互连集成于同一工艺。2000 年，三位核心发明者创立 Ziptronix 公司，专注该技术的研发与转化，并于 2005 年推出 DBI®技术，实现混合键合的商业化突破——该技术通过低温键合与高密度互连的协同，为芯片集成提供了全新路径。2011 年，索尼从 Ziptronix 获得 ZiBond 技术许可，将其应用于 CMOS 图像传感器，成为混合键合技术首个大规模商用案例；2015 年 Tessera（现 Adeia）收购 Ziptronix 后，进一步整合该技术进入先进封装领域。2016 年，索尼为三星 Galaxy S7 供应的 CMOS 传感器中大规模采用混合键合，标志该技术正式进入消费电子主流市场；2018 年长江存储推出的 Xtacking™技术，通过将存储单元与外围电路分别制造后键合堆叠，为 3D NAND 闪存带来性能革新；2022 至 2025 年，台积电（SoIC）、英特尔（Foveros Direct）、三星等巨头纷纷将混合键合应用于高端 AI 芯片与 HBM 存储，推动技术进入爆发期，2025 年长江存储向三星授权 Xtacking™专利，更实现了中国半导体核心技术的首次对外输出。

三种键合技术并非孤立发展，而是形成了层层支撑的演进关系：直接键合作为技术基石，为临时键合提供了表面处理与键合机制的理论基础，更为混合键合的介质键合部分奠定了工艺框架；临时键合通过解决超薄晶圆的加工支撑难题，成为混合键合等先进堆叠工艺不可或缺的辅助技术；混合键合则是直接键合的高阶延伸，通过金属–介质协同键合实现高密度互连，代表着当前先进封装技术的最高水平。未来，随着 3D IC、HBM、AI 芯片等需求的推动，三种技术将进一步深度融合，临时键合材料将向更低温度、无残留方向升级，直接键合将拓展至异质材料领域，而混合键合则将成为高端芯片的标配技术，预计 2030 年其在高端

芯片中的覆盖率将超过 30%。从原子级连接到高密度互连，这三类键合技术共同构建了后摩尔时代半导体集成的技术生态，持续推动产业向更高集成度、更低功耗、更高性能的方向演进。

1.6 产业发展状况

晶圆键合技术作为三维集成与先进封装的核心支撑，已形成“国际巨头主导、国产力量突围”的产业格局，台积电、EV 集团、Adeia、长江存储、中芯国际、拓荆键科六家权利人分别在设备制造、技术应用、专利布局等关键领域占据重要地位，共同推动产业向高精度、高密度、国产化方向演进。

在设备制造领域，全球市场呈现“海外垄断与国产突破并存”的态势。2022 年全球市场总收入约 3.19 亿美元，2024 年增长至 3.21 亿美元；随着混合键合、激光辅助键合等新技术渗透，市场增速将进一步稳定，预计 2029 年达到 3.99 亿美元，其中全球主要晶圆键合设备厂商包括奥地利的 EV 集团、德国的 SUSS 以及荷兰的 BESI 等；中国大陆主要晶圆键合厂商包括拓荆键科、华清海科、北方华创、青禾晶元、华卓精科等。在众多晶圆键合厂商中，奥地利 EV 集团以约 31-35% 的全球市占率稳居龙头，其全系列键合设备覆盖临时键合、混合键合等全场景，临时键合技术市占率更是超过 60%，成为台积电、英特尔等头部企业先进封装产线的首选设备商，主打产品 EVG520IS 支持 300mm 晶圆，对准精度达 $\pm 0.2\mu\text{m}$ ，适配高端芯片制造需求。中国大陆企业拓荆键科作为最早实现混合键合设备量产的中国厂商，打破了海外技术封锁，2024 年相关业务收入达 9566.85 万元，同比增长 48.78%，其 Dione300 设备获得长江存储复购订单，在中国大陆供应链中的占比已超 25%，虽全球市场份额仍较小，但正以快速增长的态势推进国产替代，2024 年混合键合设备国产化率已提升至 12%。

在技术应用与创新领域，国际巨头与中国大陆企业形成差异化竞争格局，从国际先进封装厂商来看，主要有台积电、英特尔以及三星；中国大陆相关厂商主要有长鑫存储、中芯国际、武汉新芯等。台积电凭借 3D Fabric 混合键合技术，在 3D SoIC 领域占据 35% 的市场份额，其技术已应用于苹果 M 系列芯片、英伟

达 GPU 等高端产品，是 CoWoS 先进封装方案的核心支撑。长江存储自主研发的 Xtacking™ 技术实现了颠覆性突破，该技术将存储单元与外围电路分别制造后键合，在 3D SoC 混合键合领域占据 20% 的市场份额，不仅支撑自身 232 层 NAND 产品实现性能领先，更在 2025 年向三星授权专利，用于其 420–430 层 V10 NAND 量产，成为中国半导体核心技术首次反向输出国际巨头的里程碑。中芯国际则通过子公司盛合晶微（2021 年中芯国际以 3.97 亿美元转让所持 55.87% 股权后，公司更名为盛合晶微，中芯国际不再持股）布局混合键合量产技术，作为内地唯一掌握该技术的企业，其方案对标台积电 CoWoS，已成为华为昇腾系列 AI 芯片的核心封装支撑，逐步缩小与国际先进水平的差距。

在专利生态布局方面，形成了“国际专利护航与国产专利崛起”的双线格局。Adeia 作为混合键合专利授权龙头，手握 DBI®（直接键合互连）核心专利组合，是全球专利布局前五的企业，其技术已授权给索尼、长江存储、美光等多家厂商，2024 年专利授权业务收入同比增长 42%，成为产业技术落地的重要专利支撑。长江存储围绕 Xtacking™ 技术构建了坚实的专利护城河，全球相关专利申请超 1 万件，其中混合键合领域专利占比超 30%，形成近 2000 项核心专利组合，占全球该领域 70% 以上核心专利，不仅支撑自身技术产业化，更成为三星、SK 海力士等国际巨头 400 层以上 NAND 产品绕不开的技术屏障。

整体来看，晶圆键合产业正处于技术迭代与国产化加速的关键期。国际主要企业凭借先发优势在高端设备与基础专利领域仍占主导，而中国大陆企业通过持续研发实现了从设备到技术、从专利到应用的全面突破。未来，随着 HBM 存储、AI 芯片等需求的驱动，混合键合将成为高端芯片标配技术，EV 集团的设备技术迭代、台积电的应用场景拓展、Adeia 的专利授权生态、长江存储的技术输出、中芯国际的本土产能落地以及拓荆科技的国产设备升级，将共同推动产业向更高集成度、更低功耗方向发展，国产晶圆键合技术的市场份额与全球话语权也将持续提升。

1.7 国内政策环境

从 2021 年开始,国家到地方都出台了相应的政策支撑晶圆键合技术的发展。其中国家层面的政策有《中华人民共和国国民经济和社会发展第十四个五年规划和 2035 年远景目标纲要》、《新时期促进集成电路产业和软件产业高质量发展的若干政策》(国发〔2020〕8 号)、《关于加快推动先进封装技术发展的指导意见》等。地方层面的支持性政策包括上海市政府出台的《上海市下一代显示产业高质量发展行动方案(2026-2030 年)》、上海市宝山区政府出台的“激光辅助键合系统支持政策”;北京海淀区政府出台的《中关村科学城集成电路流片补贴申报指南》;西安和武汉地方政府出台的“进口替代税收优惠政策”;以及广州黄埔区政府出台的《广州开发区黄埔区支持集成电路产业高质量发展若干政策措施》。表 1-1 为内地晶圆键合技术相关支持政策。

表 1-1 中国大陆晶圆键合技术相关支持政策

文件名称	发布单位	发布时间	主要内容
《中华人民共和国国民经济和社会发展第十四个五年规划和 2035 年远景目标纲要》	全国人大	2021 年 3 月	明确将半导体设备列为战略性新兴产业，要求 2025 年晶圆键合设备国产化率超 30%，对符合条件企业给予 15% 所得税减免与研发补贴 (单项目最高 5000 万元)。
《新时期促进集成电路产业和软件产业高质量发展的若干政策》(国发〔2020〕8 号)	国务院	2020 年 8 月	首次将"集成电路产业"置于"软件产业"前面，明确支持先进封装和异质集成技术，为晶圆键合等关键技术提供政策基础。
《关于加快推动先进封装技术发展的指导意见》	工信部等五部门	2023 年	明确提出突破临时键合/解键合等关键工艺装备技术瓶颈,设立专项基金支持首台(套)重大技术装备验证与应用。
《工业重点行业领域设备更新和技术改造指南》	工信部	2024 年 9 月	将键合机列为电子元器件关键部件成型设备更新方向，推动键合设备升级改造。
《国家支持发展的重大技术装备和产品目录(2025 年版)》	工信部等五部门	2025 年 2 月	将晶圆混合键合设备纳入支持范围(要求键合精度 $\leq$ 、键合强度 $\geq 2\text{J}/\text{m}^2$ 、可用于 300mm 晶圆)，相关进口零部件免征关税和进口环节增值税。
国家集成电路产业投资基金三期(大基金三期)	财政部等	2024 年注册	总规模 3440 亿元，首个投资项目 4.5 亿元投向拓荆键科(三维集成领域先进键合设备研发企业)，支持晶圆对晶圆混合键合设备等产品开发。
国家颠覆性技术创新重点专项	科技部	2025 年	支持天津中科晶禾“异质集成用常温晶圆键合装备”项目，该技术可实现 6-12 英寸晶圆平整键合。
《关于调整重大技术装备进口税收政策有关目	工信部等五部门	2025 年 2 月	晶圆混合键合设备等集成电路关键设备进口关键零部件免征关税和增值税，执行期自 2025 年 3 月 1 日起。

录的通知》			
企业所得税优惠政策	财政部、税务总局	2020 年起	集成电路企业符合条件的可享受“两免三减半”或 15%所得税优惠，支持包括晶圆键合在内的关键技术研发。
《上海市下一代显示产业高质量发展行动方案(2026-2030 年)》	上海市政府	2025 年 7 月	支持面向 Micro LED 异质集成高精度晶圆级混合键合设备研发，开发适配树脂晶圆加工的新型纳米压印设备。
激光辅助键合系统支持政策	上海宝山区政府	2025 年	支持自主研发 LAB 激光辅助键合系统(键合对准精度 $<2\mu\text{m}$)，实现 $10\mu\text{m}$ 级 bump pitch 精准对接，打破海外垄断。
《中关村科学城集成电路流片补贴申报指南》	北京海淀区政府	2025 年 2 月	对集成电路设计企业开展多项目晶圆或工程产品首轮流片给予最高 1500 万元补贴，间接支持键合技术应用。
进口替代税收优惠政策	西安/武汉地方政府	2025 年	对进口替代项目实行“三免三减半”税收优惠，对实现国产化替代的键合机产品给予每台 15-30 万元奖励。
《广州开发区黄埔区支持集成电路产业高质量发展若干政策措施》	广州黄埔区政府	2025 年 6 月	实施“广东强芯”工程，支持先进封装技术，包括晶圆键合等关键工艺发展。

第二章 晶圆键合技术发展方向分析

本章基于人工筛选所得的 39993 件与项目技术密切相关的晶圆键合技术相关的专利进行统计分析，以宏观观察晶圆键合技术，获取总体布局信息，重点研究了专利申请趋势、技术区域部署分析、专利权人排名和研发能力比较、主要专利权人分析、专利的发明人分析、专利的同族数分析及同族被引证数分析。

2.1 整体专利分析

2.1.1 专利申请趋势

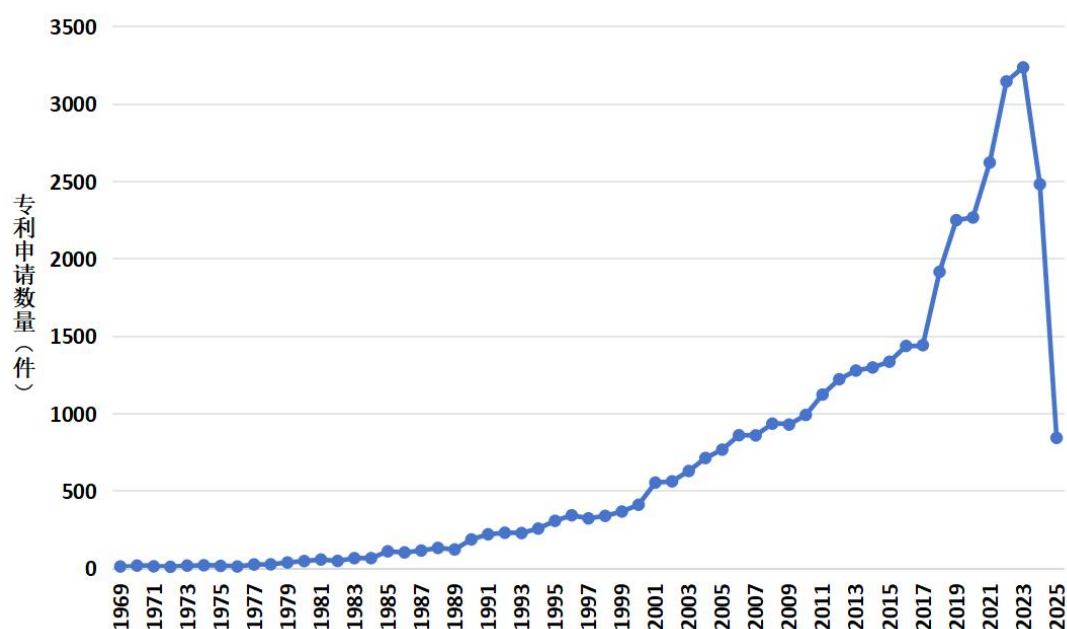


图 2-1 专利申请趋势

图 2-1 为晶圆键合相关专利的申请趋势。从图中可见，该技术的发展呈现较为明显的阶段性，主要可以分为以下几个阶段。

1. 技术萌芽期（1969–1990 年）：

晶圆键合技术最早可追溯到上世纪 60 年代末。1969 年阳极键合诞生，Wallis 和 Pomerantz 首次在 500℃ 下通过电场实现硅与玻璃晶圆的原子级键合。从相关专利来看，最早的一件相关专利来自国际商业机器公司，US3677853A 公开了一种晶圆键合通过塑造键合材料以匹配载体凸起并控制热膨胀，该方法解决了键合过程中的晶圆破裂和空隙问题，确保可靠且无空隙的半导体晶圆安装和切割操作。

方法。在最初的近 30 年时间里，相关专利年均申请量不足 60 件。从相关技术的权利人分布来看，日本权利人主导了该阶段的专利申请，如东芝、日立、三菱电机等。

2.技术拓展期（1991–2000 年）：

1980 年代末至 1990 年代，低温键合技术（ $<300^{\circ}\text{C}$ ）实现关键突破，解决了早期高温键合（如直接键合需 $800\text{--}1000^{\circ}\text{C}$ ）与半导体器件工艺不兼容的问题。如 EV 集团等企业开发出“紫外固化键合”“等离子体活化低温键合”等工艺，可在不损伤器件性能的前提下实现晶圆键合，适配 MEMS、射频器件等对温度敏感的产品。MEMS 与 SOI 材料由此进入商业化初期。1990 年代汽车、消费电子行业兴起，MEMS 传感器（如气囊压力传感器、麦克风）成为刚需。康宁、博世等企业将“阳极键合”用于 MEMS 压力传感器的气密封装（气囊系统核心部件），1995 年全球汽车气囊渗透率突破 30%，带动相关键合工艺专利申请量增长。1990 年代 SOI（绝缘体上硅）材料开始用于高性能芯片（如 IBM 的 PowerPC 处理器）。SOI 的核心工艺是“硅直接键合+氢离子注入层转移”（即后来的 SmartCut® 技术），IBM、东芝在该期间密集申请直接键合相关专利，保护 SOI 生产流程。1992 年 Soitec 成立（专注 SOI 材料），其专利申请集中在直接键合的表面处理、退火工艺等环节，进一步推高了专利数量。

该阶段年均专利申请量突破 300 件，专利累计申请量较上个阶段增加 1.4 倍。从权利人分布来看，日本权利人仍然处于主导地位，值得注意的是韩国三星开始崭露头角，该阶段专利申请量跃居第一。

3.快速增长期（2001–2015 年）：

2000 年后低温键合、混合键合技术日趋成熟。等离子体活化键合、紫外固化键合等低温工艺（ $<250^{\circ}\text{C}$ ）的良率从 60% 提升至 95% 以上，适配 MEMS、射频器件等对温度敏感的产品。2000 年代中期，Ziptronix 等企业实现铜-二氧化硅共键合的原型工艺，键合节距缩小至 $10\mu\text{m}$ 级，为后续 3D 集成奠定基础。EV 集团等厂商推出 300mm 晶圆兼容的键合机（对准精度 $\pm 1\mu\text{m}$ ），设备专利覆盖“自动化对准、真空键合腔室设计”，支撑了大尺寸晶圆键合的量产需求。此外，

智能消费电子市场的崛起以及先进封装的早期量产都促进了晶圆键合相关专利的激增。

该阶段年均专利申请量高达 937 件，15 年间累计专利申请量达到 14055 件。从权利人分布来看，日本权利人的主导优势逐渐减弱，索泰克公司（Soitec SA）、台积电、EV 集团等开始崭露头角。

4.爆发期（2016 年-至今）：

2016 年后，混合键合（铜-二氧化硅共键合）突破节距、良率、成本三大产业化瓶颈，从实验室走向大规模量产，直接推动专利申请进入爆发期。键合节距从 2016 年的 $10\mu\text{m}$ 缩小至 2023 年的 700nm（台积电 CoWoS Ultra），2025 年三星研发的“原子级键合”技术将节距降至 300nm，适配 Chiplet、HBM 等高密度互连需求。键合良率从 2016 年的 70% 提升至 2023 年的 99.5%。键合温度从 250°C 降至 150°C 以下（如 EV 集团的低温等离子体活化技术），适配 7nm 及以下先进制程芯片的热敏感性，覆盖逻辑、存储、射频全品类器件。并且，3D NAND、HBM、Chiplet 三大领域从“技术验证”转向“规模化商用”，而晶圆键合是其不可替代的核心工艺。从政策驱动角度来看，全球半导体战略聚焦“先进封装”。

“中国大基金”重点扶持——国家集成电路产业基金（一期 / 二期）累计投入超 300 亿元支持混合键合、3D 封装研发。美国《芯片与科学法案》——2022 年拨款 520 亿美元，其中 15% 用于先进封装研发。欧盟《欧洲芯片法案》——2023 年启动“欧洲先进封装联盟”，目标 2030 年实现欧洲自主键合技术体系。此外，键合设备与材料的技术突破，为专利爆发提供“硬件支撑”。如国产设备商（青禾晶元、艾科瑞思）的 12 英寸混合键合机对准精度从 2016 年的 $\pm 3\mu\text{m}$ 提升至 2023 年的 $\pm 0.5\mu\text{m}$ ，专利覆盖“双工件台同步对准”“真空键合腔室热场均匀性控制”，打破 EV 集团、应用材料的垄断。陶氏化学、信越化学开发“低温固化键合胶”“铜表面钝化剂”，相关材料专利支撑键合界面电阻降低至 $10^{-8}\Omega\cdot\text{cm}^2$ 以下。2024-2025 年由于专利公开的“滞后性”，相关专利申请数量出现明显的下降，并不意味着专利申请量的实际下降。

2.1.2 专利区域和法律状态分布

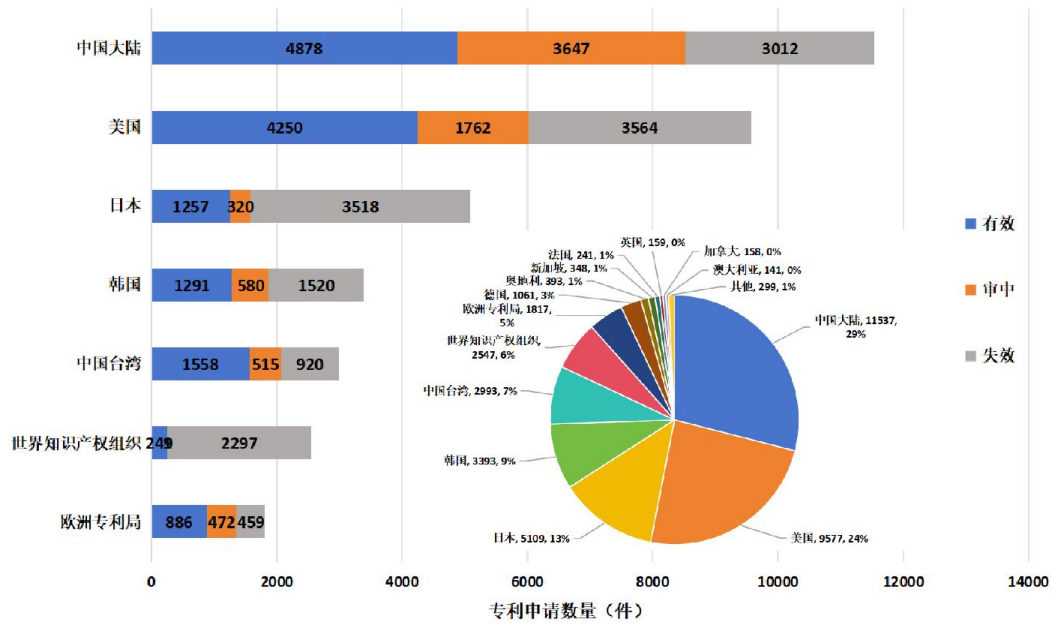


图 2-2 专利主要区域分布及法律状态

图 2-2 为晶圆键合相关专利的地域分布以及主要地区的专利法律状态分布情况。从图中可见，中国大陆、美国、日本、韩国以及中国台湾为相关专利的主要分布地区，累计占比达到 82%。从主要地区的相关专利的法律状态来看，中国大陆的有效专利最多，4878 件，其次为美国，4250 件，再次为中国台湾，1558 件；值得注意的是，中国大陆的审中专利数量最多，3647 件，为美国的 2 倍，表明中国大陆的晶圆键合技术正处于快速发展阶段。

2.2 主要权利人和发明团队分析

2.2.1 主要权利人分布情况

表 2-1 为晶圆键合领域相关专利申请量 100 件以上的权利人概况。

从专利申请量来看，台积电专利最多，2903 件，是第二名的两倍有余；专利申请量 1000 件以上的权利人仅有三家，分别是信越化学以及韩国三星，专利申请量分别为 1426 件和 1164 件；其余权利人专利申请量均不足 1000 件；长江存储位列三星之后，目前属于专利申请量最多的中国大陆权利人。

从权利人来源看，日本权利人最多，有五家，其中信越化学专利申请量最多；其次为迪思科，465 件；再次为东京电子，408 件。美国权利人四家，其中艾德

亚半导体公司专利申请量最多，798 件；其次为英特尔，686 件；再次为国际商业机器公司，453 件。中国大陆权利人三家，分别是长江存储、武汉新芯以及中芯国际，专利申请量分别为 918 件、437 件以及 420 件。

从申请时间来看，除中国大陆的三家权利人、奥地利的 EV 集团以及美国的艾德亚半导体公司（Adeia, Inc.）以外，多数权利人就晶圆键合技术申请专利的时间处于 2000 年之前，技术起步时间较早。但是值得注意的是，中国大陆的长江存储，虽然技术起步于 2017 年，但是专利申请量较为可观，年均申请量超过 100 件。

表 2-1 主要权利人概况

序号	申请(专利权)人	国家/地区	专利数量	有效专利数量	专利区域分布	申请年份
1	台积电	中国台湾	2904	1803	美国、中国大陆、中国台湾、韩国、德国、日本、欧洲、新加坡	1993-2025
2	信越化学工业株式会社	日本	1426	666	日本、美国、中国大陆、欧洲、世界知识产权局、韩国、中国台湾、德国、奥地利、新加坡	1979-2024
3	三星	韩国	1164	301	韩国、美国、中国大陆、日本、中国台湾、欧洲、德国、英国、奥地利、法国	1991-2025
4	长江存储科技	中国大陆	918	539	中国大陆、美国、世界知识产权局、中国台湾、韩国、日本、欧洲、巴西、德国、新加坡	2017-2025
5	艾德亚半导体接合科技（Adeia, Inc.）	美国	798	233	美国、世界知识产权局、欧洲、中国大陆、日本、中国台湾、德国	2015-2025
6	英特尔	美国	686	154	美国、中国大陆、欧洲、世界知识产权局、中国台湾、德国、韩国、日本、荷兰、英国、马来西亚、澳大利亚、巴西、新加坡	1987-2025

7	索泰克公司 (Soitec SA)	法国	681	224	中国大陆、美国、世界 知识产权局、法国、欧 洲、韩国、日本、中国 台湾、新加坡、德国、 奥地利、澳大利亚	1995-20 25
8	原子能和替 代能源委员 会	法国	564	166	美国、法国、欧洲、世 界知识产权局、日本、 奥地利、中国大陆、德 国、韩国、中国台湾、 新加坡、澳大利亚	1994-20 25
9	EV 集团	奥地利	538	322	韩国、中国台湾、中国 大陆、日本、美国、世 界知识产权局、欧洲、 新加坡、奥地利、德国	2008-20 25
10	株式会社迪 思科	日本	465	220	日本、中国大陆、美国、 中国台湾、韩国、德国、 新加坡	1982-20 25
11	国际商业机 器	美国	453	133	美国、中国大陆、日本、 世界知识产权局、欧 洲、中国台湾、韩国、 英国、德国、新加坡	1970-20 24
12	武汉新芯集 成电路	中国大陆	437	249	中国大陆、美国、世界 知识产权局、中国台 湾、韩国、日本	2010-20 25
13	中芯国际	中国大陆	420	186	中国大陆、美国、欧洲、 世界知识产权局	2002-20 24
14	东京电子 (Tokyo Electron Ltd.)	日本	408	155	日本、美国、中国台湾、 韩国、世界知识产权 局、中国大陆、欧洲、 新加坡	1987-20 25
15	株式会社 SUMCO	日本	403	124	日本、美国、中国大陆、 欧洲、韩国、中国台湾、 世界知识产权局、新加 坡德国、法国、奥地利	1988-20 24
16	微米技术公 司(Micron Technolo gy, Inc.)	美国	364	140	美国、中国大陆、中国 台湾、世界知识产权 局、韩国、欧洲、日本、 新加坡、奥地利、德国、 澳大利亚	1989-20 25
17	索尼集团	日本	304	107	美国、日本、中国大陆、 韩国、世界知识产权 局、中国台湾、欧洲、 奥地利、德国、新加坡	1981-20 25

2.2.2 主要发明人团队

表 2-2 展示了晶圆键合相关专利持有量超过 90 件的发明人概况。从表中可见，专利持有量排名前三位的均来自台积电，其中前两名的余振华和陈明发的专利持有量超过 500 件。并且，从该 17 位发明人的所属公司来看，有 6 位发明人均来自台积电，可见台积电研发实力之强劲。值得注意的是，美国的 Adeia 公司的研发实力同样突出，该发明人榜单中有 5 位发明人来自该公司，且专利持有量均在 100 件以上。来自中国大陆的发明人有中国科学院上海微系统与信息技术研究所的欧欣以及武汉新芯的胡胜，专利持有量分别为 117 件和 94 件。

表 2-2 主要发明人

序号	发明人	专利数量	所属公司	来源地区
1	余振华	588	台积电	中国台湾
2	陈明发	511	台积电	中国台湾
3	陈宪伟	256	台积电	中国台湾
4	HABA, BELGACEM	184	艾德亚半导体 (Adeia, Inc.)	美国
5	UZOH, CYPRIAN EMEKA	176	艾德亚半导体 (Adeia, Inc.)	美国
6	KATKAR, RAJESH	173	艾德亚半导体 (Adeia, Inc.)	美国
7	YEH, SUNG-FENG	162	台积电	中国台湾
8	GAO, GUILIAN	134	艾德亚半导体 (Adeia, Inc.)	美国
9	AGA, HIROJI	132	信越半导体株式会社	日本
10	WIMPLINGER, MARKUS	132	EV 集团	奥地利
11	FOUNTAIN, JR., GAIUS GILLMAN	122	艾德亚半导体 (Adeia, Inc.)	美国
12	杨敦年	122	台积电	中国台湾
13	欧欣	117	中国科学院上海微系统 与信息技术研究所	中国大陆
14	YOKOKAWA, ISAO	94	信越半导体株式会社	日本
15	胡胜	94	武汉新芯集成电路股份 有限公司	中国大陆
16	陈杰	92	台积电	中国台湾

17	FOURNEL, FRANK	91	原子能和替代能源委员会	法国
----	----------------	----	-------------	----

2.3 细分技术分布分析

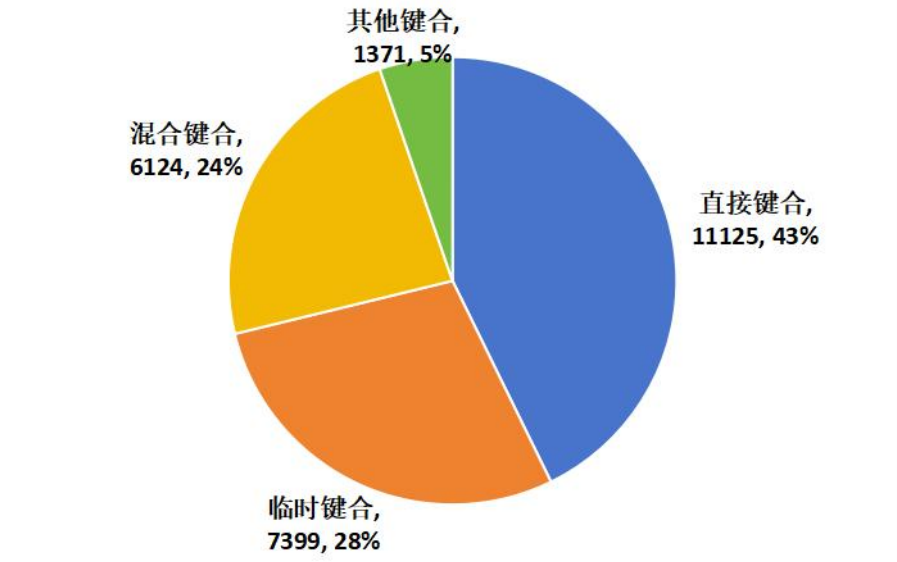


图 2-3 细分技术分布

图 2-3 为晶圆键合技术的细分技术分布情况。从图中可见，直接键合相关专利数量最多，有 11125 件，占比 43%；该技术起步时间最早可追溯到 1969 年，技术成熟度最高。临时键合的工业化应用开始于 1990 年代末，形成的专利申请数量同样较为可观，有 7399 件，占比 28%。混合键合相较于直接键合和临时键合技术的规模化应用时间晚，2001 年，日本东京大学的须贺唯知教授团队在 IEEE ECTC 会议上首次提出 Cu-Cu 直接键合（无凸块互连）概念，为混合键合奠定基础；直到 2016 年，索尼首次将混合键合用于 CMOS 图像传感器(IMX260)，通过 Cu-Cu 键合实现 9 μ m 间距的高密度互连。混合键合相关专利 6124 件，占比 24%。此外，其他键合技术如阳极键合、共晶键合、粘合剂键合等技术相关专利数量较少，1371 件，占比仅为 5%。

2.4 专利运营分析

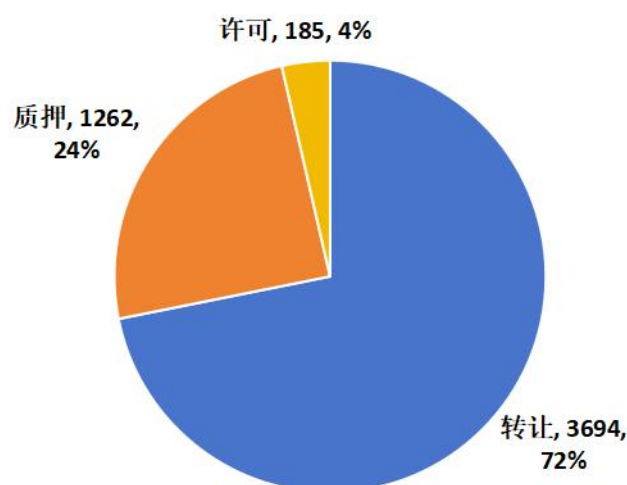


图 2-4 晶圆键合技术专利运营情况

图 2-4 为晶圆键合技术的专利运营情况。从类别上看，主要涉及三种，分别是专利转让、质押和许可。

从数量上看，3694 件专利进行了转让，占专利市场运营的 72%。其中主要为国际商业机器和格罗方德公司之间的转让，涉及转让相关专利 128 件。专利质押排名第二，合计 1262 件，占专利市场运营的 24%。其中主要为 Adeia 公司进行的专利质押，合计 236 件，其中大部分质押给了加拿大皇家银行以及美国银行。而专利许可排名第三，合计 185 件，占专利市场运营的 4%，主要为华进半导体封装先导技术研发中心有限公司和上海美维科技有限公司、华进半导体(嘉善)有限公司以及江苏芯德半导体科技有限公司的确认许可。

2.5 本章小结

晶圆键合技术的发展呈现清晰的阶段性特征，以 2016 年为界分为前期积累与爆发增长两大阶段。

从发展趋势来看，技术萌芽期（1969–1990 年）以阳极键合等基础技术为核心，专利年均申请量不足 60 件，日本企业主导；技术拓展期（1991–2000 年）低温键合、SOI 材料相关技术突破，年均专利量突破 300 件，韩国三星开始崛起；快速增长期（2001–2015 年）低温键合工艺成熟，300mm 晶圆设备落地，年均专利量达 937 件，欧美企业逐步主导；爆发期（2016 年至今）混合键合技术量产，

3DNAND、HBM 等需求驱动，2023 年专利申请达峰值 1800 余件，中国企业成为重要增长极。

区域分布上，中国大陆以 29% 的占比（11537 件）成为全球最大布局市场，美国（24%）紧随其后，两者合计占据 53% 的份额，形成“中美主导”格局。法律状态显示，中国大陆审中专利（3647 件）为美国的 2 倍，技术发展活力强劲，未来有效专利规模将快速提升；美国有效专利占比 44%，技术成熟度领先于中国大陆（有效专利占比 42%）。

权利人方面，头部聚集效应显著，台积电以 2904 件专利位居第一，信越化学（1426 件）、三星（1164 件）分别位居第二、第三，长江存储（918 件）为内地专利申请量最高企业。国际权利人技术多起步于 2000 年前，技术积累深厚；中国大陆权利人虽起步较晚（长江存储 2017 年起申请），但年均申请量突出，成长迅速。

技术分布上，直接键合相关专利占比 43%（11125 件），为最核心技术方向；临时键合相关专利占比 28%（7399 件）、混合键合相关专利占比 24%（6124 件），其他键合技术占比仅 5%（1371 件）。基础核心专利中，高同族专利权利人六成来自美国，如美国的 Adeia、Brewer Science, Inc. 公司；高同族被引专利涉及权利人七成来自美国，其中美国的 Adeia 的专利影响力最为显著；从高同族被引的键合材料相关专利来看，以美国的 Brewer Science, Inc. 以及日本的信越化学专利统治力最强，中国大陆权利人尚在该领域尚无基础核心专利的集中布局。从专利运营来看，以转让为主（72%），质押（24%）和许可（4%）为辅。

第三章 国内外主要权利人的市场地位与专利控制力

权利人是专利申请的主体，也是技术发展的主要推动力量，重要权利人更是研发和创新的领先力量和领先指标，是市场竞争的主体。通过对重点权利人的研究和分析，可以掌握整个市场竞争格局，获取相关公司发展战略、专利布局特征、专利战略和研发方向等。

基于前一章对国内外重要权利人专利申请量的排名情况。特分别选取全球及中国大陆各三位主要权利人，具体分析包括公司概况、专利申请趋势分析、专利申请区域分析、法律状态分析和技术发展路线分析等，以期获得其在晶圆键合技术领域的整体发展态势和技术发展路径。综合专利申请量和市场占有率等情况选取三家全球主要权利人——台积电、Adeia 公司与 EV 集团以及中国大陆三家权利人——长江存储、中芯国际以及拓荆键科进行分析。

3.1 全球主要权利人

3.1.1 台积电

1.公司简介

台湾积体电路制造股份有限公司（TSMC，简称台积电）成立于 1987 年，总部位于中国台湾新竹，是全球首创专业晶圆代工模式的行业龙头。台积电专注于苹果、英伟达、AMD 等全球科技巨头提供芯片制造与封装测试服务，2025 年晶圆代工市占率超 70%，在 3nm 制程量产、2nm 工艺推进及 CoWoS 先进封装技术上保持全球领先。其年产能超 1700 万片 12 英寸晶圆约当量，业务覆盖高性能计算、智能手机等领域，HPC 与智能手机贡献核心营收，同时在全球布局多座晶圆厂，形成技术、产能与客户生态的三重壁垒。

2.专利申请趋势

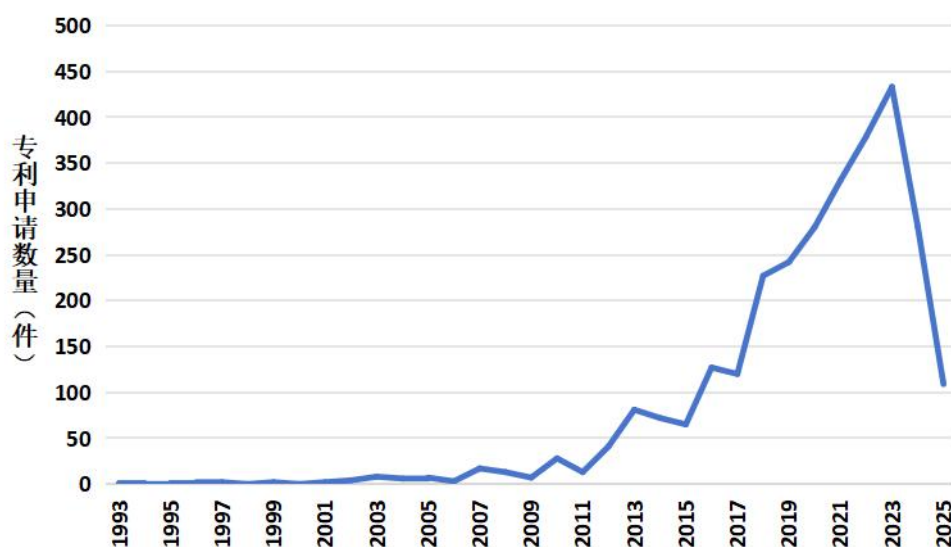


图 3-1 台积电专利申请趋势

由图 3-1 可见，台积电晶圆键合技术的发展大致经历以下两个阶段。

（1）早期（1993-2011）：基础摸索期当时半导体以传统 2D 封装为主，晶圆键合需求弱；专利集中于基础键合材料（如硅-硅键合介质）、低精度工艺验证，因此相关专利年均申请量不足 10 件，是技术储备的铺垫阶段。

（2）上升期（2012-2025）：技术落地驱动期先进封装（如台积电 CoWoS、SoIC）成为高算力芯片（AI、算力卡）的刚需，晶圆键合是 3D 堆叠、异质集成的核心环节；专利聚焦高精度键合对齐、异质晶圆（硅-化合物半导体）键合良率提升等细分方向，2018 年后 AI 芯片爆发带动 CoWoS 以及 3D 堆叠封装产能扩张，专利增速显著（2023 年达 433 件），该阶段专利年均申请量接近 200 件，是技术量产化的布局高峰。2024 年专利申请量从 2023 年峰值 433 件下降到 281 件，受专利公开滞后性的影响，2024-2025 年的专利申请量的下降并不意味着实质意义上的减少。

3.专利区域和法律状态分析

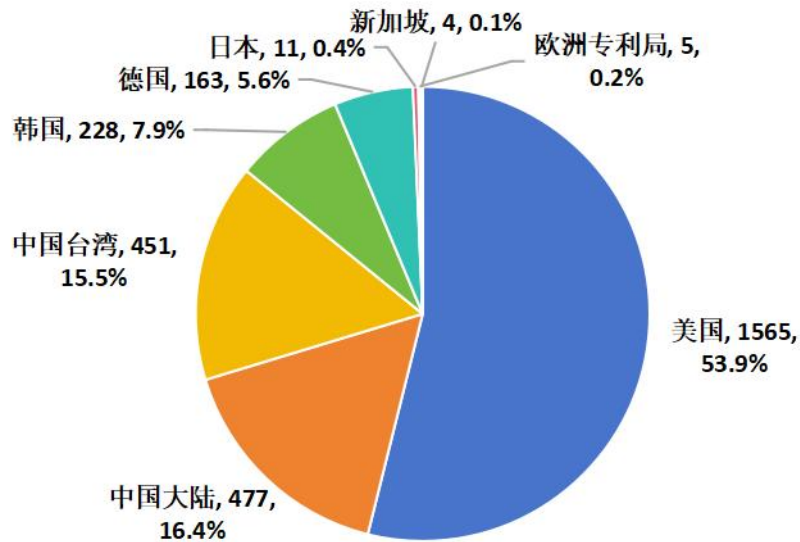


图 3-2 台积电专利区域分布

图 3-2 为台积电相关专利的区域分布情况。由图可见，美国是核心布局区，以 1565 件、53.9% 的占比居绝对主导，是台积电在该技术领域的重点专利布局区域（适配美国半导体市场需求、技术标准话语权等）。中国大陆和中国台湾是重要区域，中国大陆（477 件、16.4%）、中国台湾（451 件、15.5%）合计占比超三成——台湾是台积电总部本土布局，大陆是核心市场与产业配套区域。其他区域为补充布局，韩国（7.9%）、德国（5.6%）是半导体竞争/技术集中区域，占比相对有限；日本、新加坡、欧洲专利局等占比不足 1%，属于边缘性布局。

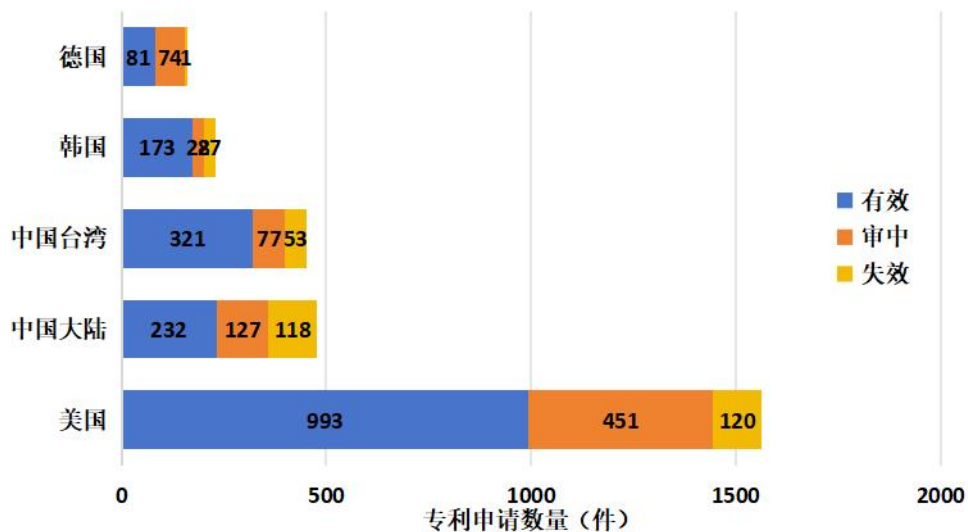


图 3-3 台积电专利区域法律状态

图 3-3 为台积电相关专利的主要布局区域的法律状态分布情况。从图中可见，美国的有效专利（993 件，占比 63.5%）占绝对主导，审中专利量（451 件，占比 28.8%）也较高，失效专利仅 120 件（占比 7.7%），既保有大量有效权益，也在持续补充新申请，布局活跃度与权益稳定性兼顾。中国大陆的有效专利（232 件，占比 48.6%）、审中专利（127 件，占比 26.6%）、失效专利（118 件，占比 24.7%）数量均有一定占比，失效专利占比（25%）相对不低。中国台湾的有效专利（321 件，占比 71.2%）较多，失效专利仅 53 件，占比 11.8%，审中专利（77 件，占比 17.1%），本土专利维持情况好，近期新申请节奏相对平缓。韩国的有效（173 件）占主导，审中专利量（28 件）少，失效专利 27 件，布局相对成熟，新申请活跃度低。德国的有效（81 件）与审中（74 件）数量接近，失效仅 1 件。

4.发明人分析

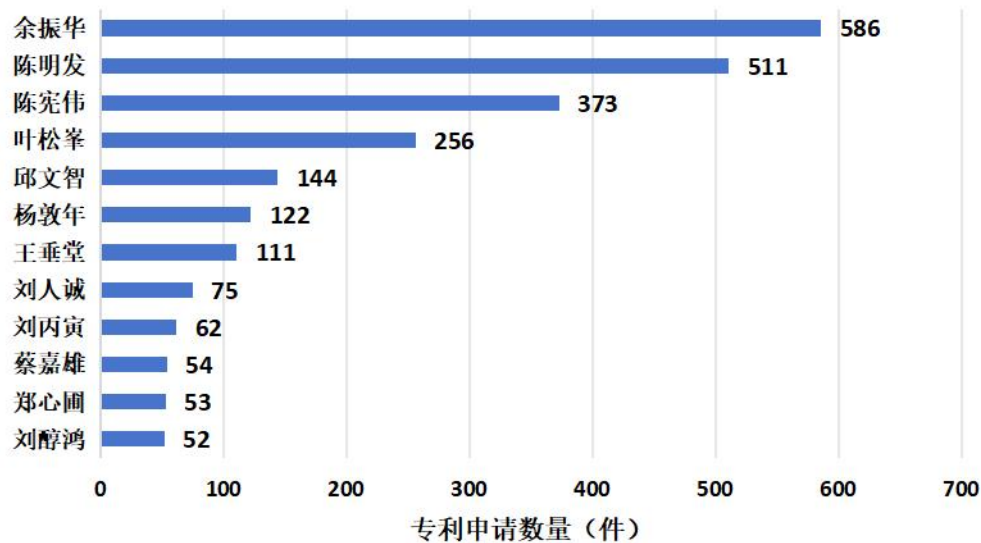


图 3-4 台积电主要发明人排名

图 3-4 为台积电晶圆键合技术的发明人排名情况。由图可见，头部核心发明人（技术主导）余振华（586 件）、陈明发（511 件）持有专利量断崖式领先，是该技术领域的核心研发带头人，其中余振华主导台积电 CoWoS、InFO、SoIC 等先进封装平台的晶圆键合架构设计，专利覆盖嵌入式晶圆级键合方法、3D 堆叠系统集成（如 WoW/Wafer-on-Wafer 键合），是该技术的顶层技术带头人。陈

明发专利聚焦堆叠芯片的键合结构、硅通孔（TSV）与键合的协同设计（如带侧壁隔离物的 TSV 键合方案），负责键合与互连的结构优化。陈宪伟（373 件）、叶松峯（256 件）处于第二梯队。邱文智及之后的发明人专利量均低于 200 件，属于团队辅助成员，参与工艺细节、边缘场景适配等细分工作。

5.技术分布分析

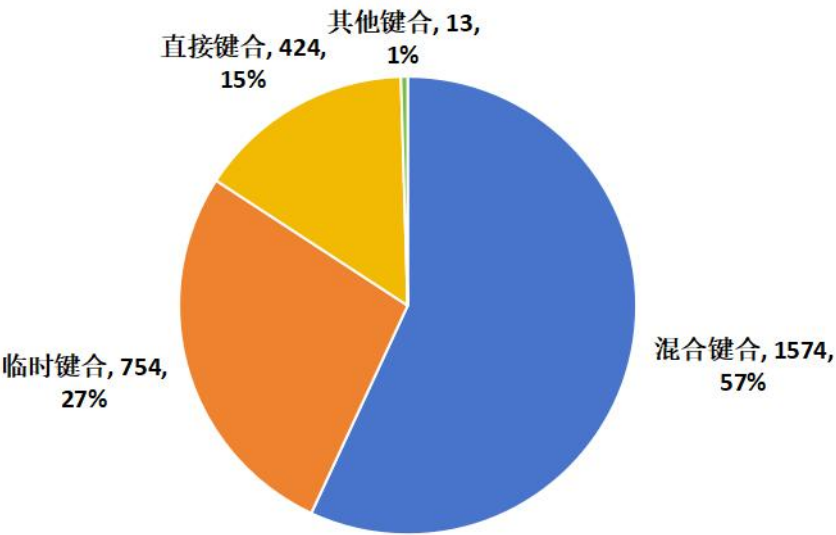


图 3-5 台积电细分技术分布

图 3-5 为从细分技术角度对台积电的相关专利进行分类检索得到的专利分布情况。从图中可见，从细分技术角度看，台积电晶圆键合技术中的混合键合相关专利最多，1574 件，占比高达 57%，这与台积电核心技术“SoIC（3D 堆叠封装）、高端 CoWoS（为英伟达/AMD AI 算力芯片配套）——可实现纳米级互连间距、高带宽/低延迟的 3D 集成”匹配度较高。其次为临时键合相关专利，754 件，占比 27%；临时键合是先进封装中“薄晶圆处理”的核心工艺（如 CoWoS/InFO 中对超薄晶圆的固定、加工、解键合），是保障高良率量产的关键配套技术。直接键合占比和其他键合相关专利的占比相对较低。

6.技术研发动向分析

表 3-1 为台积电 2008 年以后（先进封装早期）晶圆键合技术研发动向情况。

2008-2011 年，台积电的相关专利并未涉及具体的键合方式，从其封装结构来看主要是 Chip-to-wafer (C2W) 和 Wafer-to-wafer (W2W) 两种封装架构，为 2.5D 封装和 3D 封装的雏形。

2011 年之后，台积电混合键合相关专利的布局明显增加，并且在混合键合的着重解决混合键合的对准、键合强度、应力以及可靠性问题。

2012-2016 年，混合键合技术的布局明显增加，如高被引专利 CN103794584B (简单同族累计被引 372 次) 公开了一种用于半导体晶圆的混合接合机制，采用扩散阻挡层，通过在半导体衬底表面沉积介电材料和扩散阻挡层，形成环绕导电焊盘的结构，阻止铜扩散，并通过蚀刻和平坦化工艺形成导电焊盘，确保扩散阻挡层的对准和覆盖。同时多晶圆的混合键合技术开始布局。

2017 年除了延续混合键合的布局以及加深键合对准细分领域的布局外。台积电开始布局不同晶圆之间的键合技术，如 US10134945B1 采用共晶键合连接 III-V 晶圆和 CMOS 晶圆。US10294098B2 采用混合键合连接 CMOS 晶圆和 MEMS 晶圆。

2018 年之后，台积电的专利布局涉及更为细分的分支技术。2018 年布局晶圆键合的锚固结构 (US11152417B2)、多芯片堆叠的混合键合 (US11251157B2)。

2019 年其重点技术开始布局在曲面晶圆键合 (US11276587B2)、多晶圆键合的支撑结构 (CN110660687B) 细分技术分支。

2020 年，其相关技术开始从键合结构层面改善键合强度 (US11908817B2)，并且兼顾外围技术如晶圆键合监视系统 (CN111987015B) 的布局，并且在此之后在提高可靠性方向连续布局相关专利，如 2022 年的键合力增强设计 (US63313961P0)，2023 年的键合保护结构 (US12243772B2)，2024 年的键合缺陷检测 (US20250239495A1)，2025 年的改善电连接 (US20250266379A1)。

2021 其键合对准技术的专利布局力度加大，并且在 2025 年集中布局；2022 年不同类型芯片的键合技术布局力度加大。

整体来看,台积电晶圆键合技术以混合键合为主,作为先进封装的龙头厂商,其技术与 2.5D 封装、3D 封装等前沿封装技术组合布局,并兼顾晶圆键合外围技术的布局,着重提高键合的可靠性、键合对准精度等。

表 3-1 台积电研发动向

申请年	代表专利公开号	标题	技术备注
2008	CN101447400B	芯片-晶圆接合装置及接合的方法	C2W
2009	CN101853864B	晶片键合方法	W2W
2010	US8377798B2	Method and structure for wafer to wafer bonding in semiconductor packaging (半导体封装中晶圆对晶圆键合的方法和结构)	W2W
2011	CN102417154B	晶圆级封装中的多接合	W2W
2012-2016	US8945344B2	Systems and methods of separating bonded wafers (分离键合晶片的系统和方法)	解键合
	CN103474420B	三维集成电路结构和用于半导体晶圆的混合接合方法	混合键合
	CN103794584B	用于半导体晶圆的混合接合机制	混合键合
	TWI547990B	用於混合接合法的半導體晶圓清潔方法、半導體晶圓之混合接合法,以及用於混合接合法的整合系統	混合键合
	US62005763P0	Multi-Wafer Stacking by Oxide-Oxide Bonding(通过氧化物-氧化物键合的多晶片堆叠)	多晶圆混合键合
2017	US10049901B2	Apparatus and method for wafer level bonding(用于晶圆级键合的设备和方法)	键合对准
	US10510597B2	Methods for hybrid wafer bonding integrated with CMOS processing(结合 CMOS 工艺的混合晶圆键合方法)	混合键合
	US10134945B1	Wafer to wafer bonding techniques for III-V wafers and CMOS wafers(用于 III-V 晶圆和 CMOS 晶圆的晶圆到晶圆键合技术)	不同晶圆的键合
	US10294098B2	Method for manufacturing a MEMS device by first hybrid bonding a CMOS wafer to a MEMS wafer(通过首先将 CMOS 晶	不同晶圆的键合

		圆混合接合到 MEMS 晶圆来制造 MEMS 器件的方法)	
2018	US11152417B2	Anchor structures and methods for uniform wafer planarization and bonding(用于均匀晶圆平面化和键合的锚结构和方法)	晶圆键合锚固结构
	US11251157B2	Die stack structure with hybrid bonding structure and method of fabricating the same and package(具有混合键合结构的管芯堆叠结构及其制造方法和封装)	多芯片混合键合
2019	CN110660687B	接合支撑结构、多个半导体晶圆及其接合方法	多晶圆键合的支撑结构
	US11276587B2	Wafer bonding method and apparatus with curved surfaces(具有曲面的晶片键合方法和装置)	曲面晶圆键合
2020	CN111987015B	晶圆接合系统、晶圆接合监视系统和接合晶圆的方法	晶圆键合监视系统
	US11908817B2	Bonding structure of dies with dangling bonds(具有悬空键的芯片键合结构)	提高键合强度(控制应力)
2021	CN114709140A	晶片接合对准的方法	键合对准
	CN115394670A	测量图案以及用于测量接合晶片的迭对位移的方法	键合对准
2022	US63313961P0	Soic hybrid bond die interface bond force enhancement design(Soic 混合键合芯片界面键合力增强设计)	键合强度控制
	US20230275031A1	Method of Bonding Active Dies and Dummy Dies and Structures Thereof(有源芯片和虚设芯片的接合方法及其结构)	不同类型芯片的键合
	US12255174B2	Bonding passive devices on active dies to form 3D packages(将无源器件键合到有源芯片上,形成 3D 封装)	不同类型芯片的键合
2023	US11996401B2	Packaged die and RDL with bonding structures therebetween(封装的芯片和 RDL 及其之间的键合结构)	芯片封装结构之间的键合

	US12243772B2	Protection structures for bonded wafers(键合晶圆的保护结构)	键合保护结构
2024	US20250239495A1	Semiconductor die and wafer bonding crack detector structures and methods of forming same(半导体管芯与晶圆键合裂纹检测结构及其形成方法)	键合缺陷检测
2025	US20250157943A1	Photolithography alignment process for bonded wafers(键合晶圆的光刻对准工艺)	键合对准
	US20250259951A1	Integrated circuit die bonding pads(集成电路芯片键合垫)	键合强度控制
	US20250253282A1	Storage layers for wafer bonding(晶圆键合的存储层)	键合应力控制
	US20250266379A1	Slotted bond pad in stacked wafer structure(堆叠晶圆结构中的开槽键合垫)	改善电连接
	US20250316643A1	Wafer bonding method and bonded device structure(晶圆键合方法及键合器件结构)	键合对准
	US20250316627A1	Bond routing structure for stacked wafers(堆叠晶圆的键合布线结构)	混合键合对准

3.1.2 艾德亚半导体（Adeia）

1.公司简介

美国 Adeia,Inc.是一家专注于知识产权（IP）开发与授权的技术公司，总部位于美国加利福尼亚州圣何塞。作为非专利实施实体（NPE），Adeia 通过“研发-专利-授权”的轻资产模式运营，不直接参与产品制造，而是通过技术授权与法律维权实现商业价值。该公司成立于 2019 年 12 月，并于 2022 年 10 月从母公司 XperiHoldings（TiVo 所有者）分拆独立运营，继承了其在媒体和半导体领域的核心专利资产。在半导体领域，Adeia 的技术聚焦于 3D 集成与先进封装，其核心专利组合包括 DirectBondInterconnect（DBI）和 ZiBond，主要应用于混合键合工艺，支持芯片堆叠的微米级互连与高密度集成。

2.专利申请趋势

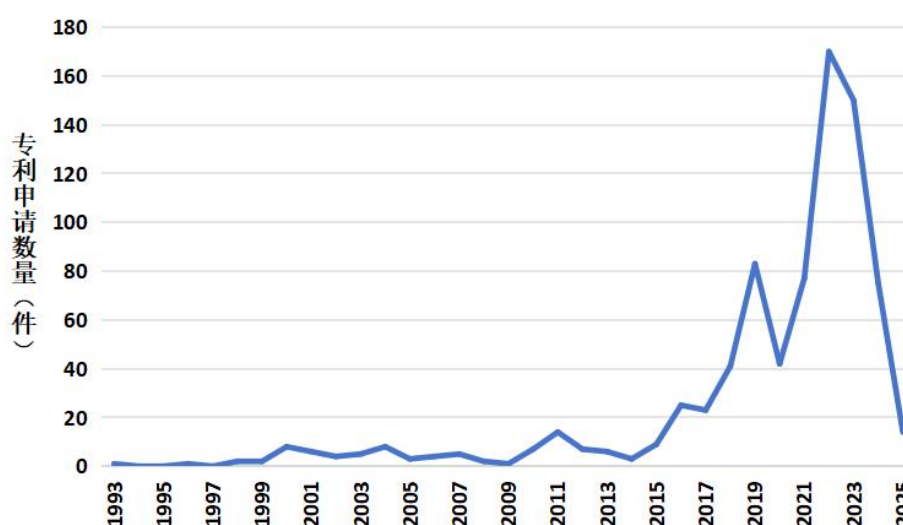


图 3-6 Adeia 公司专利申请趋势

图 3-6 为 Adeia 公司晶圆键合相关专利的申请趋势。其相关专利的申请主要可分为以下两个阶段。

（1）基础储备期（1993-2010）：低量零星布局（年均 ≤ 5 件）。此时 Invensas 作为 Tessera 的专属研发子公司，仅聚焦 DBI 技术的基础原理验证（如硅-硅键合界面兼容性），无明确商业化需求，专利是技术可行性的试探性布局，未形成规模研发。

（2）核心扩张期（2011–2025）：从稳步增长到峰值爆发，年均申请量 42 件。数据呈现“阶梯式上升”。2011 年申请量 14 件，Invensas 启动 DBI 技术的商业化适配研发，申请量首次突破 10 件；2015 年收购 Ziptronix，2016 年申请量跃升至 25 件，Invensas 开始融合 DBI 与 ZiBond 技术，布局异质衬底键合专利；2018–2022 年，AI 先进封装需求爆发，申请量从 41 件飙升至 170 件，Invensas 针对台积电 SoIC、三星 HBM 等客户需求，集中申请“混合键合对准”“应力缓解”等高价值专利。2023–2024 年专利申请量连续减少。2023 年专利申请量下降至 150 件，较 2022 年减少 12%。2024–2025 年专利申请量的持续下降受专利公开的滞后性影响，并不意味着实际意义上的申请量减少。

3.专利区域和法律状态分析

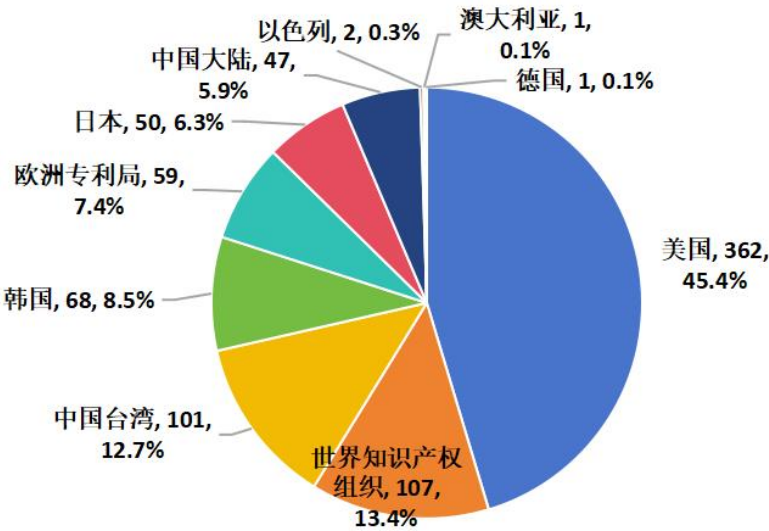


图 3-7 Adeia 公司专利区域分布

图 3-7 为 Adeia 公司晶圆键合相关专利的区域布局情况。由图可见，美国作为 Adeia 公司的总部所在地，为专利布局的核心区域（362 件，占比 45.4%），既适配本土半导体技术标准（如美国先进封装产业的合规要求），也为后续专利诉讼提供法律主场优势，同时覆盖本土客户（如英特尔）的技术需求。其次为通过世界知识产权组织布局的专利，107 件，占比 13.4%，适配其向全球半导体厂商（台积电、三星等）授权技术的业务模式。再次为中国台湾，相关专利 101 件，占比 12.7%。韩国、欧洲等地区的专利布局占比均不足 10%。

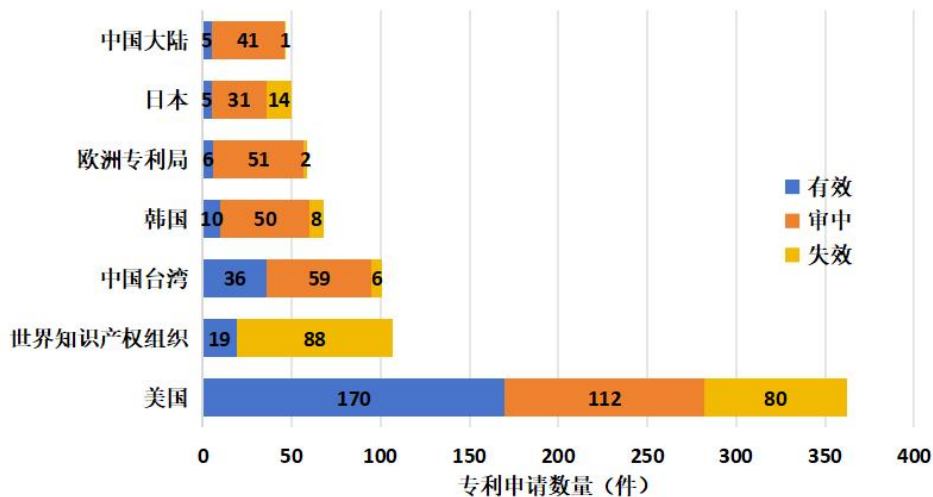


图 3-8 Adeia 公司专利区域法律状态

图 3-8 为 Adeia 公司主要布局区域的相关专利法律状态。由图可见，美国的有效专利最多，170 件；其次为中国台湾，36 件，韩国、欧洲等地区的有效专利均不超 10 件。从审中专利来看，依然是美国最多，有 112 件；中国台湾、韩国以及欧洲三个地区布局数量相当，均为 50 余件。

4.发明人分析

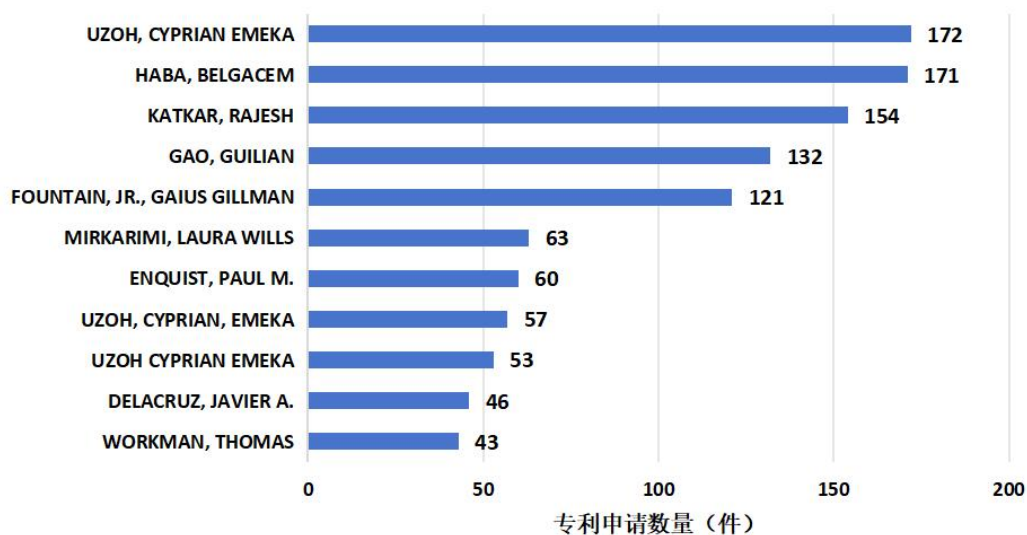


图 3-9 Adeia 公司主要发明人排名

图 3-9 为 Adeia 公司晶圆键合技术相关发明人的排名情况。从图中可见，排名前五的发明人持有专利均超过 100 件，其中第一第二名发明人的专利持有量高达 170 余件，主要涉及混合键合和直接键合技术。

5.技术分布分析

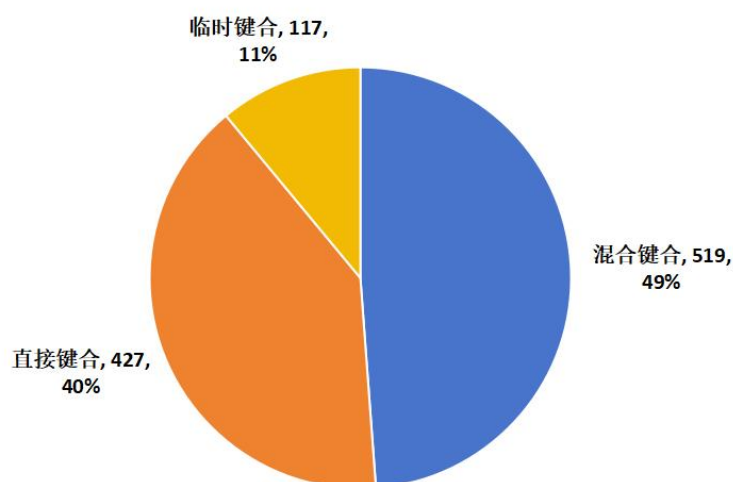


图 3-10 Adeia 公司细分技术分布

图 3-10 为从细分技术角度对 Adeia 公司的相关专利进行分类检索得到的专利分布情况。从分支技术的分布来看，混合键合和直接键合属于 Adeia 公司的主要技术，其中混合键合相关专利有 519 件，占比接近半数；直接键合相关专利 427 件，占比 40%。临时键合相关专利相对较少，117 件，占比 11%。

6.技术研发动向分析

表 3-2 为 Adeia 公司晶圆键合技术研发动向情况。整体来看，Adeia 公司的研发主要涉及混合键合和直接键合。

2003 年-2005 年，其技术以直接键合技术为主，具体涉及等离子键合和直接键合的解键合技术。

除了混合键合和直接键合技术外，2011-2012 年，Adeia 公司还就粘结剂键合和熔融键合形成专利申请。

2015 年，Adeia 公司开始就晶圆键合的对准技术形成专利申请，如 US9466538B1 公开了实现晶圆对晶圆键合工艺的超高芯片对芯片对准精度的方法，通过利用排列成阵列的热致动器，通过基于详细的热建模引起热膨胀或收缩，来检测和校正晶圆键合表面上的平面变形，创建不均匀的温度和热通量分布，以准确地对准和键合晶圆，结合珀耳帖和电阻元件以实现精确的温度控制。

2017 年及之后，其混合键合技术开始形成大量的专利申请。尤其针对混合键合的键合结构布局了较多专利，2021 年申请的 CN116391252A、CN116420220A、CN116635998A、US20220208723A1 均涉及混合键合的键合结构。2021 年后，其混合键合相关专利布局涉及更为细分的分支，如光电互连电路的混合键合（US20210265331A1）、低温混合键合（US12136605B2）、特殊电路的混合键合（US12176303B2）、降低混合键合的应力（US20250266416A1）等。

2024–2025 年，其混合键合对准方向的专利布局开始加大，和台积电的研发动向综合起来看，混合键合对准技术或成为各大厂商集中布局的细分领域。

表 3-2 Adeia 公司技术研发动向

申请年	公开(公告)号	标题	技术备注
2003	US7332410B2	Method of epitaxial-like wafer bonding at low temperature and bonded structure（类外延晶片低温键合方法及键合结构）	直接键合（等离子体键合）
2004	US7622324B2	Wafer bonding hermetic encapsulation（晶圆键合密封）	直接键合
2005	US7462552B2	Method of detachable direct bonding at low temperatures（低温下可分离直接键合的方法）	直接键合（解键合）
2011	CN103370783B	利用通道的无空穴晶圆结合	粘结剂键合（提高键合强度）
2012	JP5422720B2	エッジ接続ウエハレベル積層体（边缘键合晶圆级层压板）	熔融键合（金属-金属键合）
2015	US9466538B1	Method to achieve ultra-high chip-to-chip alignment accuracy for wafer-to-wafer bonding process（边缘键合晶圆级层压板）	C2C 键合对准
2017	EP4435152A3	Structures and methods for low temperature bonding（低温粘合结构和方法）	共晶键合
	US10297569B2	Method of forming a three-dimensional bonded semiconductor structure having nitridized oxide regions（形成具有氮氧化物区域的三维键合半导体结构的方法）	混合键合

2021	US20210242152 A1	Selective alteration of interconnect pads for direct bonding (选择性改变互连焊盘以进行直接键合)	直接键合
	US63156290P0	Contact structures for direct bonding (直接键合的接触结构)	直接键合的接触结构
	US20210265331 A1	Direct-bonded optoelectronic interconnect for high-density integrated photonics (用于高密度集成光子学的直接键合光电互连)	混合键合 (实现光电互连)
	US12136605B2	Layer structures for making direct metal-to-metal bonds at low temperatures in microelectronics and method for forming the same(用于在微电子中低温下实现金属-金属直接键合的层结构及其形成方法)	混合键合 (低温)
	CN116391252A	具有互连结构的键合结构	混合键合 (键合结构)
	CN116420220A	具有互连结构的键合结构	混合键合 (键合结构)
	CN116635998A	直接键合方法和结构	混合键合 (键合结构)
	US20220208723 A1	Directly bonded structures (直接键合结构)	混合键合 (键合结构)
2022	CN118613905A	用于管芯键合控制的装置和方法	混合键合 (提高键合质量)
	US20230207402 A1	Directly bonded frame wafers (直接键合框架晶圆)	混合键合 (键合可靠性)
2023	US12176303B2	Wafer-level bonding of obstructive elements (阻碍元件的晶圆级键合)	混合键合 (特殊电路)
	US12438122B2	DBI to Si bonding for simplified handle wafer (DBI 与 Si 键合,简化处理晶圆)	临时键合 (减薄、高温处理)
	CN120604337A	具有安全管芯的接合结构	混合键合 (特殊电路)
2024	US12341125B2	Dimension compensation control for directly bonded structures (直接键合结构的尺寸补偿控制)	混合键合 (对准)
	US20250096172 A1	Low temperature bonded structures (低温粘合结构)	共晶键合
	US20250087616 A1	Method and structures for low temperature device bonding (低温器件键合的方法和结构)	混合键合 (低温)
	US20250105234 A1	Direct-bonded LED arrays and driver circuits (直接键合 LED 阵列和驱动电	混合键合 (光电互连)

		路)	
	US20250199058 A1	Security circuitry for bonded structures (用于键合结构的安全电路)	混合键合 (特殊电路)
2025	US20250237788 A1	Direct-bonded lamination for improved image clarity in optical devices (用于提高光学器件图像清晰度的直接键合层压)	直接键合
	US20250266416 A1	Stacked dies and methods for forming bonded structures (堆叠芯片和形成键合结构的方法)	混合键合 (减少堆叠管芯应力)
	US20250246583 A1	Molded direct bonded and interconnected stack (模制直接键合互连堆栈)	混合键合 (提高对准精度、改善电连接)
	US20250226356 A1	Reliable hybrid bonded apparatus (可靠的混合键合设备)	混合键合设备
	US20250266401 A1	Direct bonded stack structures for increased reliability and improved yield in microelectronics (直接键合堆叠结构可提高微电子的可靠性和产量)	混合键合 (减少堆叠管芯应力)
	US20250231341 A1	Integrated optical waveguides, direct-bonded waveguide interface joints, optical routing and interconnects (集成光波导、直接键合波导接口接头、光路由和互连)	直接键合

3.1.3 EV 集团

1.公司简介

EV 集团 (EV Group, 简称 EVG) 成立于 1980 年, 总部位于奥地利圣弗洛里安, 是全球半导体制造设备与工艺解决方案的主要企业之一, 专注于晶圆键合、光刻/纳米压印、薄晶圆处理及计量检测等核心领域。该公司凭借 NanoCleave 离型层技术、LITHOSCALE 无掩膜光刻系统等突破性创新, 在晶圆键合细分市场占据 82% 的全球份额, 稳居行业主导地位, 其混合键合设备更是三星 HBM3 生产、3DNAND 堆叠及先进封装的关键支撑。作为私营企业, EVG 在全球拥有 1600 余名员工及 8 家全资子公司, 客户覆盖台积电、三星、索尼、长江存储等全球顶尖半导体厂商, 技术广泛应用于 MEMS、化合物半导体、AI 芯片、汽车电子等领

域，同时深度参与欧盟“欧洲芯片计划”，成为全球 3D 集成与异构集成产业链中重要的核心设备供应商。

2.专利申请趋势

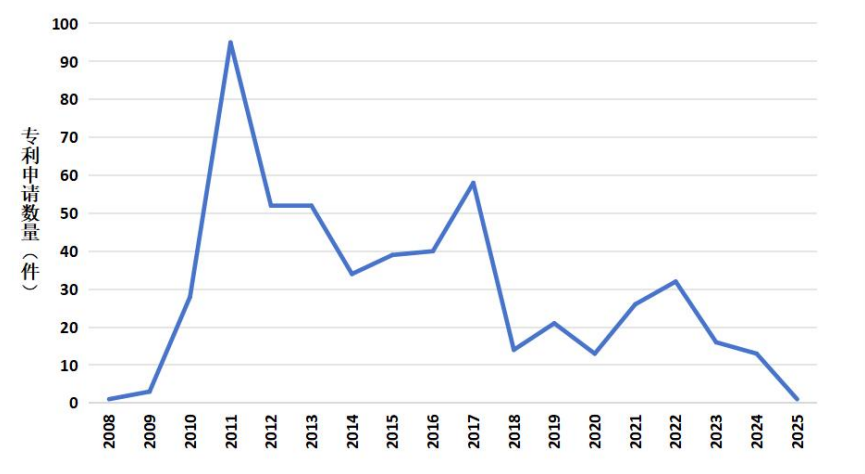


图 3-11 EV 集团专利申请趋势

图 3-11 为 EV 集团晶圆键合相关专利的申请趋势。从图中可见，EV 集团与台积电和 Adeia 公司技术发展趋势不同的是，其技术几乎不存在技术储备阶段。从时间上看，其晶圆键合技术的发展主要分为以下几个阶段。

（1）技术快速爆发阶段（2008-2011）：该阶段正处于先进键合设备的雏形研发阶段。2008 年其第一件专利 EP2104138A1 公开了一种将芯片键合到晶片上的方法，主要解决 3D IC 集成吞吐量低的问题，可同时处理多个晶圆并能适用于不同晶圆尺寸。

该阶段为 EVG 从“传统封装键合”向“先进晶圆键合”转型关键时间点，2008 年推出 EVG500 系列基础键合机(支持硅-硅初步键合)。2010 年推出 EVG540 键合机（混合键合原型设备）；2011 年升级至 EVG560 量产级混合键合设备（支持 8 英寸晶圆键合）；这一阶段从 2008 年的 1 件专利申请激增到 2011 年的 95 件，年均专利申请量达到 32 件。

（2）稳定优化期（2012-2017）：EVG 围绕头部客户的量产需求，迭代设备并形成相关专利申请。2012-2013 年推出 EVG850LT 临时键合/解键合设备（适配 20 μ m 以下超薄晶圆）；2015-2017 年推出 EVG520IS 纳米级对准键合机（支

持异质衬底键合）。此阶段专利申请维持在年均 46 件，临时键合和混合键合技术得到较快发展。

（3）波动回落期（2018–2025）：EVG 的晶圆键合设备技术已成熟，相关专利申请量明显减少，其中 2018–2024 年年均专利申请量不足 20 件。2025 年，由于专利公开的滞后性，目前专利申请量的减少并不意味着实际意义上的减少，预计会保持 10 余件的申请量。

3.专利区域和法律状态分析

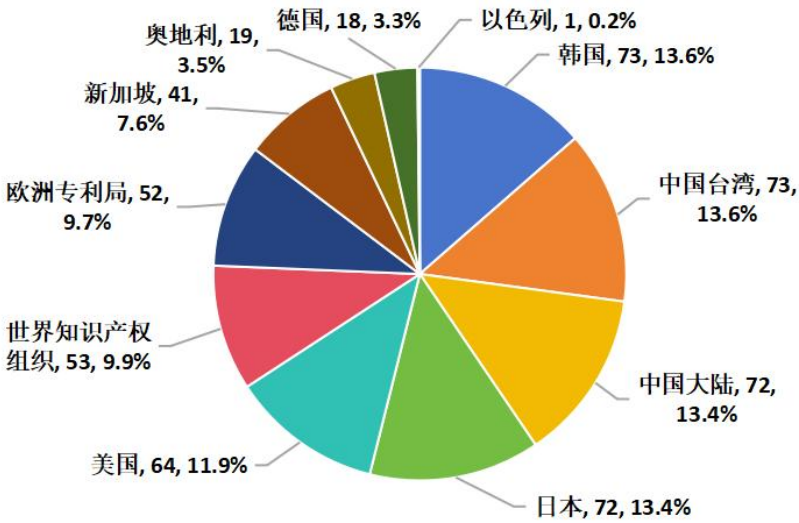


图 3-12 EV 集团专利区域分布

图 3-12 为 EV 集团相关专利的区域分布情况。由图可见，韩国、中国台湾、中国大陆、日本以及美国的专利布局占比均超过 10%，其中韩国和中国台湾属于核心布局区域，专利布局量最多，有 73 件，占比均为 13.6%，或与该两个地区在全球半导体制造的核心枢纽地位有关，韩国对应三星（EV 键合设备的主力客户，用于 HBM、3DNAND 产线），中国台湾对应台积电（EV 设备支撑其 CoWoS、SoIC 先进封装）——专利布局直接适配这两家核心客户的技术需求，便于本地技术对接与合作。中国大陆以及日本属于重点布局区域，中国大陆以及日本各布局 72 件，占比 13.4%，或与长江存储（3DNAND 键合需求）、中芯国际（先进封装产线）等本土半导体厂商需求增长有关；日本适配铠侠（3DNAND）、索尼

（CMOS 图像传感器键合）等客户的技术场景，是 EV 集团在存储与消费电子半导体领域的重点市场布局。此外，欧洲、新加坡、奥地利等地区的专利布局量均不超过 10%。

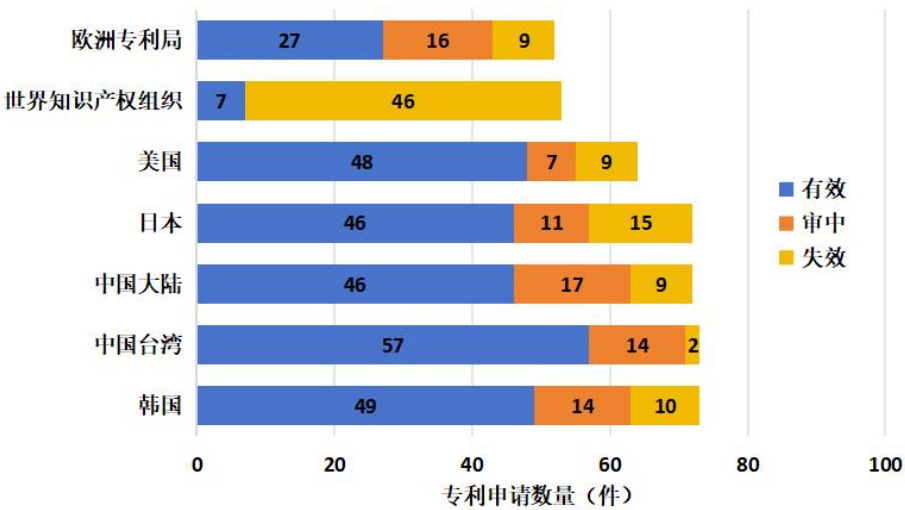


图 3-13 EV 集团专利主要区域法律状态

图 3-13 为 EV 集团晶圆键合相关专利的主要布局区域的法律状态。从有效专利来看，中国台湾的有效专利最多，有 57 件，韩国、中国大陆、日本以及美国的有效专利均在 40 余件。从审中专利来看，专利数量差别不明显，大部分地区的专利均在 10 余件。综合来看，主要地区的专利以有效专利和审中专利为主，技术活跃度较高。

4.发明人分析

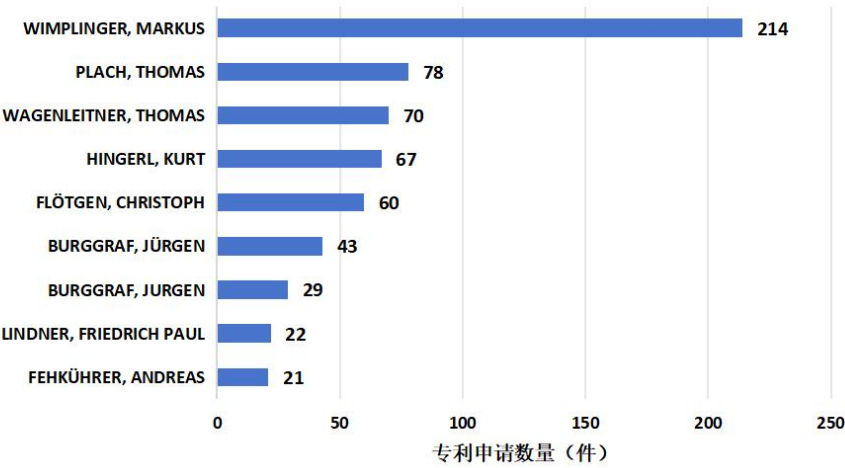


图 3-14 EV 集团主要发明人排名

图 3-14 为 EV 集团相关专利持有量超 20 件的发明人排名情况。从图中可见，WIMPLINGER, MARKUS 作为核心发明人，相关专利持有量高达 214 件，主要涉及直接键合和临时键合。其余发明人相关专利持有量均不足 80 件，其中 PLACH, THOMAS、WAGENLEITNER, THOMAS 以及 HINGERL, KURT 相关专利持有量均在 60 件以上，为主要发明人。

5.技术分布分析

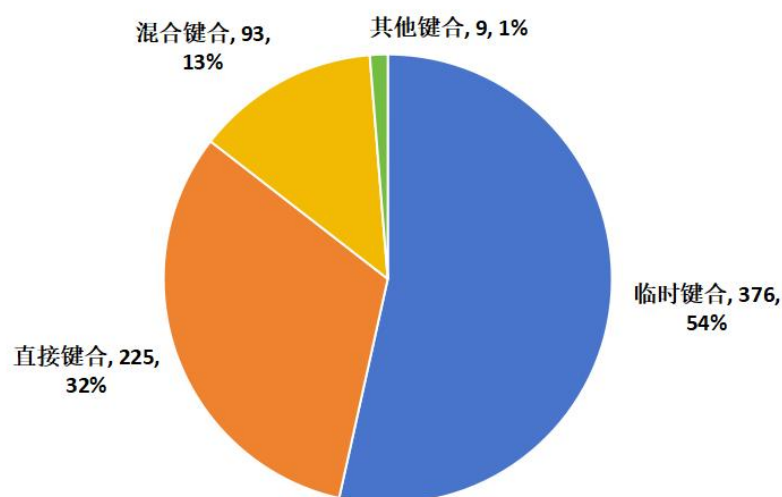


图 3-15 EV 集团细分技术分布

图 3-15 为从细分技术角度对 EV 集团的相关专利进行分类检索得到的专利分布情况。从图中可见，临时键合相关专利最多，376 件，占比 54%。其次为直接键合，相关专利 225 件，占比 32%。再次为混合键合相关专利，93 件，占比 13%。其他键合数量相对较少，不足 10 件。

6.技术研发动向分析

表 3-3 为 EV 集团晶圆键合技术研发动向情况。整体来看，EV 集团晶圆键合技术主要涉及直接键合、临时键合、共晶键合。

从 2008 年开始，其共晶结合开始结合 C2W 技术展开布局（EP2104138A1）。

2010 年临时键合结合 C2W 技术展开专利布局（CN102484100B），解决应力对芯片的影响。此后，临时键合贯穿整个研发路径，并兼顾解键合（JP6691128B2）以及临时键合压力的控制（JP2025527435A5）。

2011 年，开始布局直接键合相关专利，主要利用 Si-OH 的脱水反应形成 Si-O-Si 形成永久键合。此后布局的直接键合专利多是基于该技术原理。

2022 年布局的专利 CN119487622A 公开的基板之间的结合方法，具体涉及混合键合定位精度的提高。

2023-2024 年开始集中布局与改善键合对准精度相关专利（TW202439419A、TW202507920A）。

表 3-3 EV 集团技术研发动向

申请年	专利公开号	标题	技术备注
2008	EP2104138A1	Method for bonding chips onto a wafer（将芯片键合到晶片上的方法）	C2W（3DIC）（共晶键合）
2010	CN102484100B	在晶片上接合芯片的方法	C2W（临时键合）
2011	CN108766873B	用于永久接合晶片的方法	直接键合（Si-O-Si）
	CN103548129B	通过借助固体扩散或相变的结合层永久粘合晶片的方法	共晶键合
	CN103561944B	用于确定用于结合的压力分布的方法和装置	键合压力的确定
2012	US9067363B2	Method and device for permanent bonding of wafers, as well as cutting tool（用于晶片永久键合的方法和装置,以及切割工具）	共晶键合
	CN104303281B	用于将芯片接合到衬底的压力传递设备	键合压力传递
	CN107195541B	永久结合晶圆的方法及装置	直接键合（Si-O-Si）
2013	JP6223421B2	コンタクトエレメントを備えたチップを、チップコンタクトエレメントに対する開口を有する機能層を備えた基板に仮接合する方法（用于将具有接触元件的芯片临时接合到具有用于芯片接触元件的开口的	临时键合

		功能层的衬底的方法)	
2015	JP6173413B2	固相拡散または相変態を用いた接続層による恒久的なウエハ結合方法（使用固态扩散或相变的连接层的永久晶圆键合方法）	共晶键合
2015	JP6691128B2	仮接合された基板スタックの結合層を少なくとも部分的に溶解するための装置および方法（用于至少部分溶解临时键合衬底叠层的键合层的设备和方法）	临时键合（解键合）
2017	CN118737997A	用于键合芯片的方法和装置	C2W C2C 直接键合
2018	JP6679666B2	ウエハの永久接合方法（晶圆永久键合方法）	直接键合（Si-O-Si）
2020	JP6986105B2	ウエハの永久接合方法（晶圆永久键合方法）	直接键合（Si-O-Si）
2021	JP7258992B2	ウエハの永久接合方法（晶圆永久键合方法）	直接键合（Si-O-Si）
2022	CN118946961A	由用于临时接合的薄层构成的多层系统	临时键合（解键合）
	CN119487622A	将第一基板与第二基板接合的方法，用于接合的设备和由第一和第二基板构成的装置	混合键合定位精度
	JP2025527435A5	接合する際に接合ウェーブに影響を与えるための方法および装置（用于在键合过程中影响键合波的方法和装置）	临时键合压力控制
2023	TW202439419A	基板表面處理方法和基板接合方法及基板處理裝置	键合对准
2024	TW202507920A	將第一基板與第二基板接合的方法、用於接合的裝置、用於其的基板夾持具及感測器元件	键合精度

3.2 中国大陆主要权利人

3.2.1 长江存储

1.公司简介

长江存储科技有限责任公司（简称“长江存储”，英文缩写 YMTC）成立于 2016 年 7 月，总部位于中国武汉，是一家专注于 3DNAND 闪存芯片设计、生产和销售 IDM（垂直整合制造）企业。该公司以“Xtacking®架构”为核心技术突破，通过垂直分离存储单元与外围电路，显著提升芯片性能与生产效率，其 232 层 3DNAND 闪存良率达 85%，294 层产品位密度突破 15Gb/mm²。截至 2025 年，长江存储全球 NAND 市场份额已接近 10%，计划 2026 年将产能提升至 30 万片/月，目标占据全球 15%的市场份额。在产品布局上，长江存储不仅为全球客户提供 3DNAND 晶圆及颗粒，还推出消费级品牌“致态”（ZhiTai），其固态硬盘（如 TiPlus7100、Ti600）已进入国内旗舰手机和高端游戏本供应链，读取速度最高达 7087MB/s。

2.专利申请趋势

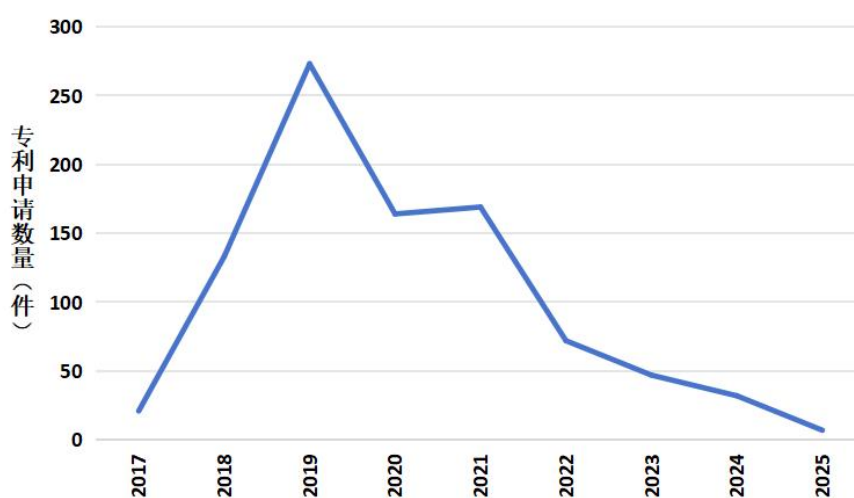


图 3-16 长江存储专利申请趋势

图 3-16 为长江存储晶圆键合相关专利申请趋势。从图中可见，其相关专利的布局起源于 2017 年，最早的一件专利 CN106920797B 涉及存储器结构的混合键合。随后相关专利申请量快速增长，通过两年时间的技术积累，2019 年相关专利的申请达到峰值，273 件，或与 Xtacking 技术突破关键节点——存储晶圆与

电路晶圆的键合兼容性以及 3D NAND 量产有关，该阶段以混合键合的接触结构/触点技术为主要布局点。

2020-2025 年，相关专利申请呈逐年减少趋势，该阶段混合键合技术相关专利累计申请量较上一阶段有小幅增加；2024-2025 年因为专利公开滞后性，部分专利尚未公开。综合长江存储所有专利的申请趋势来看，其从 2021 年的专利申请量达到峰值后近几年的总体申请量也是呈现减少趋势，预计 2024-2025 年的实际申请量或不超过 2023 年的 47 件。

3.专利区域和法律状态分析

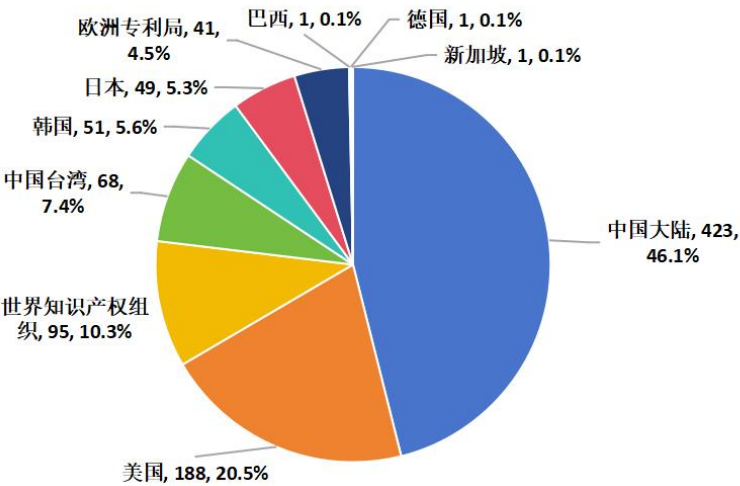


图 3-17 长江存储专利区域布局

图 3-17 为长江存储晶圆键合相关专利的区域分布情况。由图可见，中国大陆本土为核心布局区域，相关专利布局 423 件，占比 46.1%；其次为美国，相关专利布局 188 件，占比 20.5%。中国台湾、韩国、日本等地区的专利布局占比均不足 10%。此外，其通过 PCT 渠道布局的专利 95 件，占比 10.3%。综合来看，其海外布局与中国大陆布局占比相当。

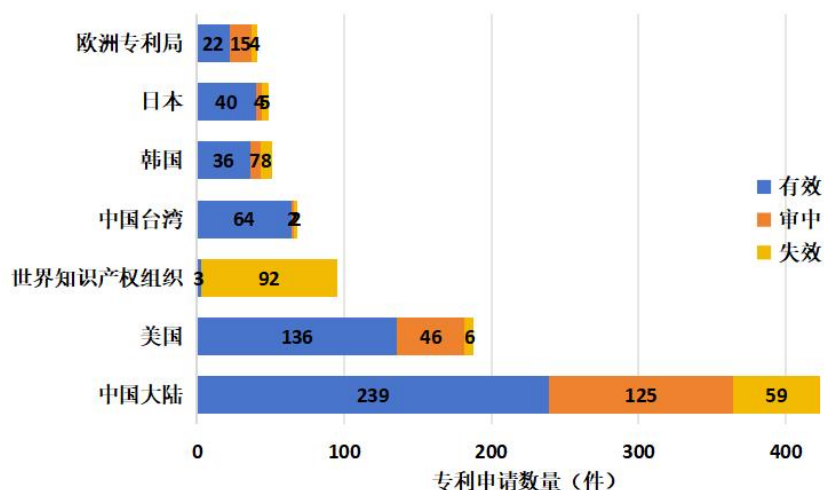


图 3-18 长江存储专利主要区域法律状态

图 3-18 为长江存储晶圆键合相关专利主要区域的法律状态。从有效专利来看，中国大陆本土数量最多，239 件，其次为美国，136 件，再次为中国台湾，64 件，韩国、日本等地区的有效专利均不超 40 件。从审中专利来看，依然是中国大陆本土最多，125 件，其余地区均不足 50 件。有效及审中专利累计占比 80%，技术活跃度较高。

4.发明人分析

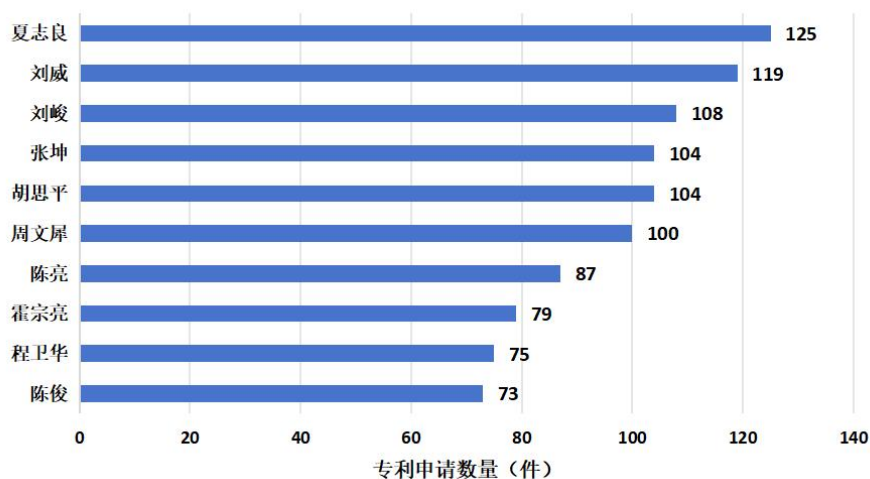


图 3-19 长江存储主要发明人排名

图 3-19 为长江存储晶圆键合相关专利持有量 70 件以上的主要发明人排名情况。从图中可见，排名前五的核心发明人相关专利持有量均超 100 件，主要涉及

混合键合的触点以及键合界面等核心技术。

5.技术分布分析

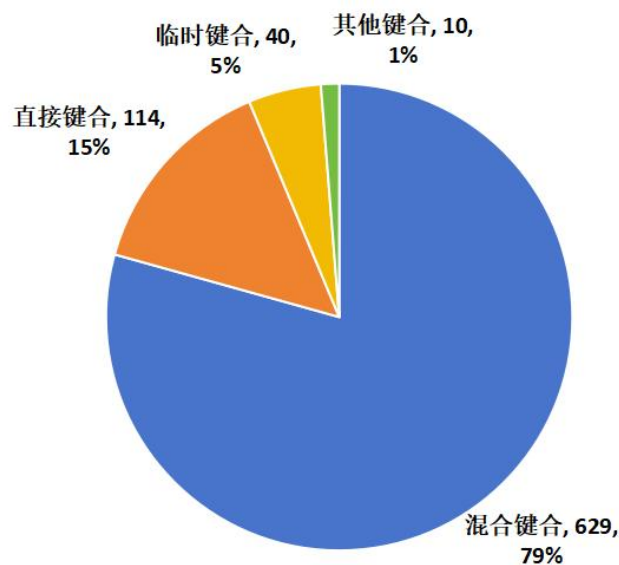


图 3-20 长江存储晶圆键合相关专利细分技术分布

图 3-20 为从细分技术角度对长江存储的相关专利进行分类检索得到的专利分布情况。由图可见，混合键合作为三维存储器的核心技术，占比接近 80%，专利数量高达 629 件。直接键合相关专利 114 件，占比 15%。临时键合和其他键合占比均不超 5%，数量相对较少。

6.技术研发动向分析

表 3-4 为长江存储晶圆键合技术动向情况。整体来看，长江存储晶圆键合技术以混合键合和键合对准技术为主。

2017 年的相关专利均涉及混合键合，技术效果集中在改善电性能（CN107665829B）、提高键合强度（CN107993927A）以及键合应力控制（CN107731668B）方面。

2018 年之后键合对准技术的专利布局力度加大，并在 2019–2022 年集中布局。同年，直接键合相关专利开始布局，此时及以后的直接键合专利具体涉及等离子活化键合（CN111916342B）、金属–金属键合（CN109390305B）等。

2020 年，长江存储开始就晶圆键合的应力控制技术（CN112164646B、CN112216609B）展开专利布局。

2023 年集中布局提高键合强度的相关专利，具体涉及临时键合（CN118737958A）、混合键合（CN119181683A、CN120109114A）强度的提高。

此外，其晶圆键合外围技术还涉及键合作用力测量（CN109887855B）、键合程度检测（CN112881283B）、键合流程管控（CN114846592A）等。

表 3-4 长江存储技术动向分析

申请年	公开(公告)号	标题	技术备注
2017	CN107665829B	晶圆混合键合中提高金属引线制程安全性的方法	混合键合（改善电性能）
	CN107731668B	3D NAND 混合键合工艺中补偿晶圆应力的方法	混合键合（减小键合错位）
	CN107993927A	提高晶圆混合键合强度的方法	混合键合（提高键合强度）
	CN107993928B	一种抑制晶圆混合键合中铜电迁移的方法	混合键合（改善电连接）
2018	CN109451763B	用于晶圆键合对准补偿的方法和系统	键合对准
	CN109451761B	用于在晶圆键合期间调整晶圆变形的的方法和系统	键合对准
	CN111916342B	晶圆键合方法及其结构	直接键合（等离子活化键合）
	CN109148417A	一种晶圆的混合键合结构及方法	混合键合（键合结构，阻挡金属迁扩散）
	CN109390305B	一种键合晶圆及其制备方法	直接键合（金属-金属键合）
2019	CN109844915A	用于晶圆键合的等离子体活化处理	直接键合（等离子活化键合）
	CN109585346B	晶圆键合装置及晶圆键合方法	键合对准
	CN109887855B	晶圆键合力测量装置、解键合装置以及键合晶圆检测装置	键合作用力测量
	CN109904105B	晶圆键合装置以及晶圆对准方法	键合对准
	CN109920751A	利用光刻曝光补偿修正晶圆键合对准偏差的方法及系统	键合对准
	CN113838823B	晶片键合结构及其制作方法	混合键合结构（提高键合强度）

	CN110546762A	键合的统一半导体芯片及其制造和操作方法	混合键合的键合结构（处理器和 NAND 存储器单元的键合）
	CN110783234B	修正晶圆键合对准偏差的方法、晶圆键合方法及其系统	键合对准
	US11798914B2	Methods and structures for die-to-die bonding	键合对准
	CN111128830A	晶圆键合对准测量系统、方法及晶圆承载台	键合对准
	CN211320078U	晶圆键合对准测量系统及晶圆承载台	键合对准
2020	CN112928018B	混合晶圆键合方法及其结构	混合键合（键合结构，阻挡金属扩散）
	CN111446191A	晶圆键合设备及检测方法	键合对准
	CN112164646B	晶圆的调整方法、调整装置、键合控制方法和控制装置	应力控制
	CN112216609B	一种减小晶圆翘曲的方法及晶圆键合方法	应力控制
	CN112289694A	晶圆键合方法	直接键合（熔融键合）
	CN117410189A	晶圆键合的控制方法、控制装置、处理器和键合系统	键合对准
	CN112614807B	晶圆键合方法及键合晶圆	直接键合（提高键合强度）
2021	CN112881283B	晶圆的键合程度的检测方法、检测装置和半导体工艺设备	键合程度检测
	CN113078090B	晶圆制备方法、键合方法、键合装置、键合设备	键合对准
	CN114616656A	晶圆键合设备及方法	键合对准
	CN114793466A	晶圆键合设备及方法	键合对准
	CN114846592A	一种晶圆键合方法和系统	键合流程管控
2022	CN114664646A	晶圆的调整方法、晶圆的键合方法以及光刻系统	键合对准
	CN115064453A	晶圆键合方法	键合对准
	CN115064449A	晶圆键合方法和设备、晶圆形变调整设备	键合对准
	CN115116900A	晶圆键合设备	键合对准

	CN115116859A	晶圆键合方法、计算机程序及其存储介质	键合对准
2023	CN118737958A	半导体器件及其制作方法	临时键合（提高键合强度）
	CN118969755A	半导体器件、半导体器件的制作方法 及半导体设备	混合键合（提高键合强度）
	CN119181683A	半导体器件、存储器装置、以及 存储器系统	键合结构（提高键合强度）
	CN119486149A	半导体器件及其制备方法和存储 系统	混合键合（提高晶粒间 传输速度）
	CN119486148A	半导体器件、半导体器件的制备 方法及存储器系统	键合应力控制
	CN120109114A	半导体结构及其制造方法、存储 系统	混合键合（提高键合强度）
2024	CN120690690A	基于芯片背面晶圆键合的半导体 封装结构	混合键合（背侧键合）

3.2.2 中芯国际

1.公司简介

中芯国际集成电路制造有限公司（简称“中芯国际”，SMIC）成立于2000年12月，总部位于中国上海，是中国大陆规模较大的集成电路晶圆代工企业。该公司聚焦晶圆代工与封装双核心业务，在垂直晶圆键合领域布局深入：2017年引入英帆萨斯（Invensas）的直接键合互联（DBI®）技术，在意大利 Avezzano 工厂实现 200mm 晶圆的低温混合键合量产能力，支撑背照式图像传感器等产品的像素级垂直互联，为先进封装技术落地筑牢基础；在此基础上，2025 年又与寒武纪联合开发 Chiplet 技术，通过多芯片垂直键合工艺提升算力密度，预留每月 5 万颗芯片产能，以 14nm 工艺结合 3D 封装支撑思元 690 芯片量产，满足芯粒间低延迟、高带宽的通信需求。同时，中芯国际自研的 2.5D 封装硅中介层键合工艺与 3D 封装 TSV（硅通孔）垂直键合技术，适配 28nm 及以上节点的 AI 芯片、车规级芯片封装需求，2024 年相关专利申请量超 50 件；在制程技术上，中芯国际提供从 0.35 微米到先进工艺的全节点制造服务，2019 年实现 14nmFinFET 工艺量产（良率达 95%），2022 年 N+1 工艺（等效 7nm 级）商用，2025 年 N+2 工艺进入量产阶段。截至 2024 年底，中芯国际在上海、北京等地建有多座 8/12 英寸晶圆厂，全年合计产能达 802.1 万片（折合 8 英寸晶圆），先进封装（含晶

圆键合)产能处于满产状态,累计申请专利超2万件(其中晶圆键合相关专利超300件)。

2.专利申请趋势

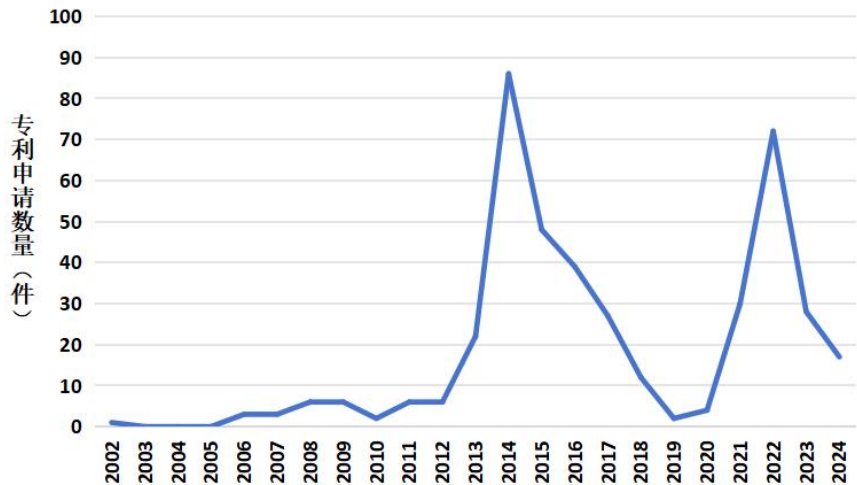


图 3-21 中芯国际专利申请趋势

图 3-21 为中芯国际晶圆键合相关专利的申请趋势。由图可见，中芯国际相关专利的申请存在明显的二次增长现象。

(1) 技术探索阶段(2002-2012)：该阶段专利申请量较少，累计不足 15 件，年均仅有 3 件。此阶段中芯国际核心聚焦晶圆代工基础工艺，晶圆键合属于先进封装配套技术，仅做初步技术可行性验证，未形成规模化研发投入。

(2) 技术集中布局阶段(2013-2024 年)：该阶段经历两次明显的技术增长阶段：2013 年相关专利跃升至 22 件，并且在 2014 年达到极值 86 件，该时间节点正处于 2.5D/3D 封装技术崛起阶段，中芯国际启动先进封装配套的晶圆键合技术研发，集中布局硅中介层键合、TSV 互联等核心专利，完成技术框架的初步定型。2021 年专利申请量触底反弹跃升到 30 件，并在 2022 年达到第二个极值，72 件，该时间点对应先进封装 (Chiplet、HBM) 市场需求爆发阶段，中芯国际启动晶圆键合技术的量产适配研发 (如与寒武纪合作 Chiplet 的键合工艺优化)，同时适配长江存储、华为等客户的技术需求，专利申请重回高增长。

3.专利区域和法律状态分析

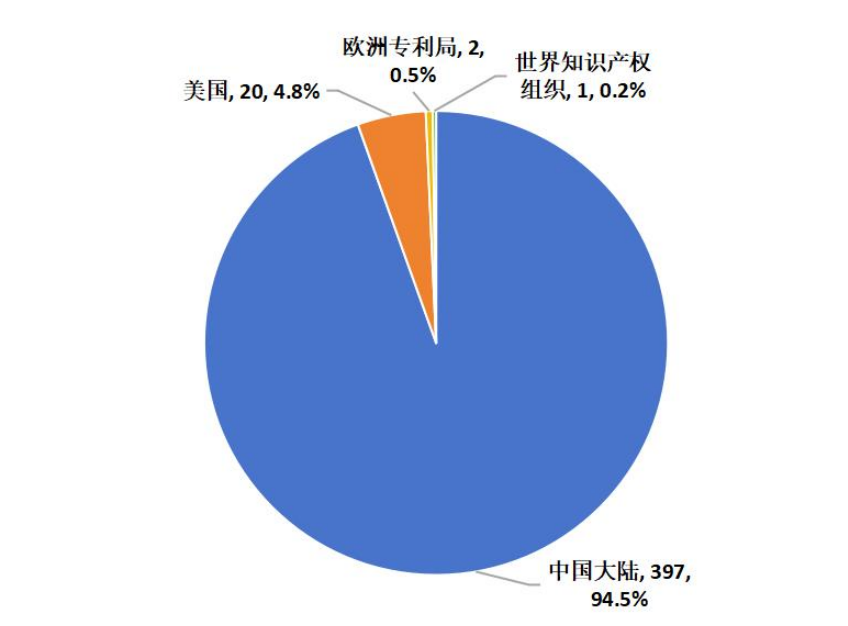


图 3-22 中芯国际专利区域分布

图 3-22 为中芯国际晶圆键合相关专利的区域分布情况。由图可见,其约 95% 的相关专利布局在中国大陆本土,而在美国欧洲等地区的专利布局不足 5%。呈现明显的本土布局倾向。

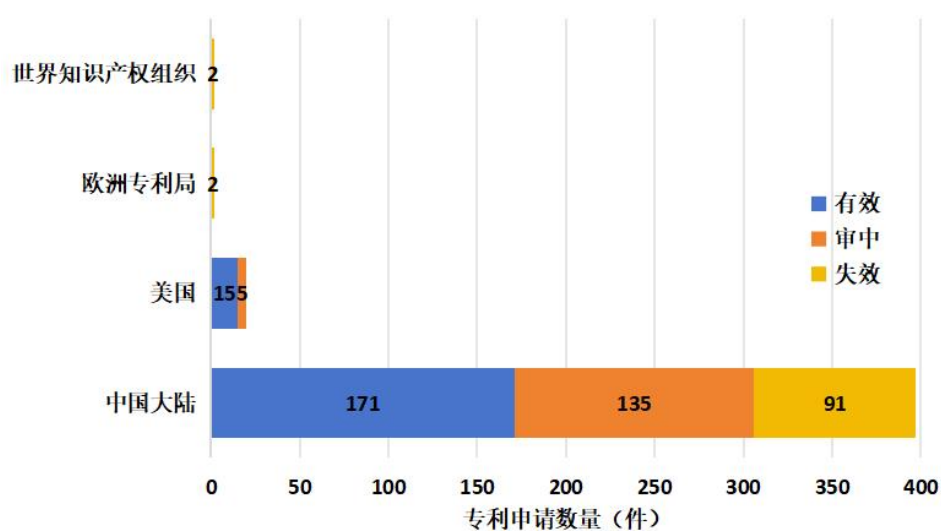


图 3-23 中芯国际专利主要区域法律状态

图 3-23 为中芯国际晶圆键合相关专利主要布局地区的法律状态。从有效专利来看,主要布局在中国大陆,有 171 件,美国的有效专利仅有 15 件。综合来看,有效专利累计占比 44%,审中专利累计占比 33%,结合其专利集中布局时间来看,相关专利的维持有效率较高。

4.发明人分析

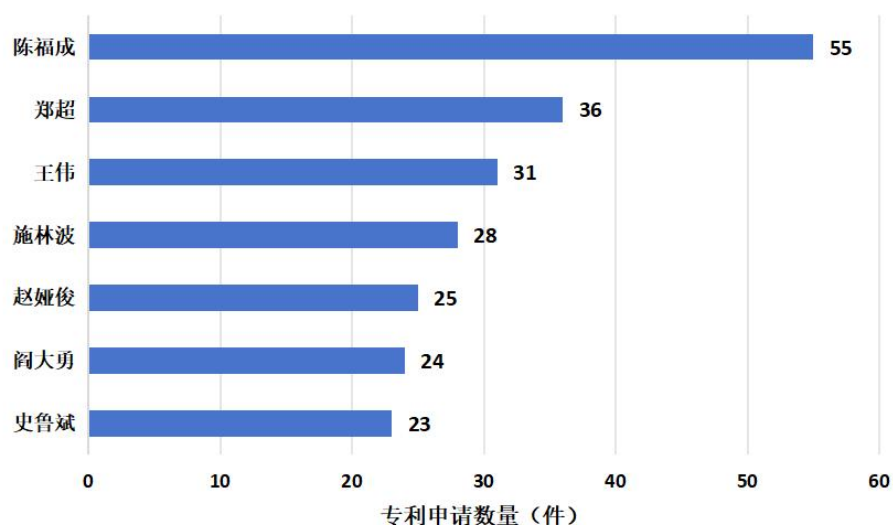


图 3-24 中芯国际主要发明人

图 3-24 为中芯国际专利持有量超 20 件的主要发明人排名情况。从图中可见，核心发明人陈福成持有专利量最多，有 55 件，涉及混合键合、键合应力控制、MEMS 器件的键合、键合良率的控制等多个细分技术领域。其余发明人相关专利持有量均不超过 40 件。

5.技术分布分析

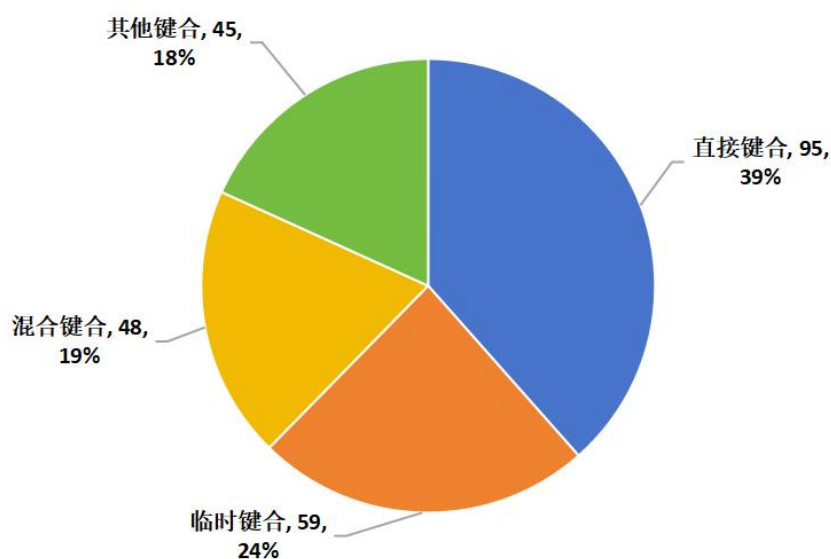


图 3-25 中芯国际专利细分技术分布

图 3-25 为从细分技术角度对中芯国际的相关专利进行分类检索得到的专利分布情况。由图可见，直接键合相关专利最多，有 95 件，占比 39%；其次为临

时键合，59 件，占比 24%；再次为混合键合，48 件，占比 19%；其他键合的占比相较于其他权利人的占比较高，占比 45%，具体涉及阳极键合、共晶键合、热压键合等。

6.技术研发动向分析

表 3-5 为中芯国际晶圆键合技术研发动向情况。整体来看，中芯国际相对于长江存储，其相关技术更注重解决具体工艺问题，偏外围布局。

2006 年，其直接键合技术开始进行专利布局，主要为了提高键合强度和改善电连接。

2011 年开始布局晶圆键合对准技术相关专利(CN103165541B)，此后的 2013 年(CN103964375B)、2017 年(CN108630559B)以及 2020 年(CN114664794B)也有零星布局，2021 年属于键合对准技术集中布局年份。

2013 年开始布局临时键合技术，但是解决的问题都是具体的工艺问题，如提高键合强度或键合性能(CN104658927B、CN105990163B)、避免碎片产生(CN117976555A)、减少晶圆损伤(CN117936446A)等。

2014 年及之后布局的一些键合结构或者保护技术方案注重解决具体的工艺问题，如 CN104810319A 在晶圆键合工艺前，对互连结构的贴合端进行清洗并覆盖保护涂层，去除氧化物杂质并隔绝氧气，确保贴合端表面平整度。CN105826213B 通过在第一晶圆和第二晶圆的衬底上分别形成介质层和导电结构，并在顶层介质层中形成顶层导电结构，使其相互键合，直接形成用于键合的顶层导电结构，节省了形成其他互连结构的步骤，简化工艺流程。

2021 年，中芯国际开始混合键合专利布局，解决的技术问题也较为丰富，如良率提高(CN115910808A)、减少金属扩散(CN117316864A)、提高键合质量(CN117423691A、CN118507367A、CN118522648A)以及提高对准精度(CN118213374A)。

此外，中芯国际在临时键合以及更为外围的方向上也有专利布局。临时键合主要是解决晶圆研磨、CMP 等工艺工程中的应力、晶圆损伤、界面平整度等问

题。外围布局上涉及晶圆电阻检测（CN104465420B）、晶圆键合检测（CN104773704B、CN104779238B）、键合质量检测（CN203707089U、CN104779238B、CN106158678B）等。

表 3-5 中芯国际技术研发动向

申请年	公开(公告)号	标题	技术备注
2006	CN100517623C	晶片压焊键合方法及其结构	直接键合（金属-金属键合）
2011	CN103165541B	芯片与晶片的接合方法以及三维集成半导体器件	键合对准
2013	CN104465420B	用于获取晶圆级键合结构电阻的方法及其半导体结构	键合电阻测量
	CN104658927B	半导体晶片的键合减薄优化方法	临时键合(增强键合强度)
	CN104733300B	一种键合晶片的减薄方法	临时键合（避免破裂）
	CN103964375B	芯片键合方法	键合对准
2014	CN104934292A	一种提高晶圆间键合强度的方法	直接键合(提高键合强度)
	CN104925748B	一种提高晶圆间键合强度的方法	直接键合(提高键合强度)
	CN104773704B	一种晶圆接合的检测结构、制备方法以及检测方法	晶圆键合检测
	CN104909331B	一种晶圆选择性键合方法	选择性键合(提高可靠性)
	CN105575834A	一种晶圆键合方法	直接键合(提高键合强度)
	CN203707089U	一种监测晶圆键合质量的测试结构	键合质量检测
	CN104810319A	晶圆键合的方法	互连结构的保护
	CN204079474U	键合晶圆、器件晶圆及键合结构	电感器件的保护
	CN105470153B	晶圆键合方法	保护键合区不被剥离
	CN105197880B	一种带空腔晶片的键合方法	直接键合（Si-O-Si）
	CN104779238B	一种晶圆接合质量的检测结构及检测方法	键合质量检测
	CN105513983B	晶圆键合的方法以及晶圆键合结构	贴合端的保护

	CN104979223B	一种晶圆键合工艺	临时键合(增大键合面积)
	CN105374741B	晶圆键合的方法以及晶圆的键合部件	增大键合面积
2015	US9640451B2	Wafer bonding structures and wafer processing methods	芯片的保护(封盖晶圆与待处理晶圆键合)
	CN106373900A	晶圆级键合封装方法以及共晶键合的晶圆结构	共晶键合(避免短路)
	CN105826243A	晶圆键合方法以及晶圆键合结构	共晶键合(改善电连接)
	CN105990166B	晶圆键合方法	导电键合结构的保护
	CN105826213B	晶圆键合方法以及晶圆键合结构	键合结构(简化流程)
	CN105990163B	晶圆的键合方法和化学机械平坦化方法	临时键合(提高键合性能)
	CN106328581B	晶圆键合方法以及晶圆键合结构	直接键合(改善电连接)
	CN106158678B	一种检测晶圆键合质量的方法	键合质量检测
2016	CN108122823B	晶圆键合方法及晶圆键合结构	直接键合(提高键合质量)
	CN106952837B	获得绝缘层厚度的方法以及晶圆级键合封装方法	应力控制
2017	US9837287B2	Sealing structure for a bonded wafer and method of forming the sealing structure	晶圆键合的密封
	CN108630559B	晶圆键合方法以及晶圆键合结构	键合对准
2018	CN110858597B	硅通孔结构的形成方法、CIS 晶圆的形成方法及 CIS 晶圆	键合结构(保护顶层金属)
	CN110116984B	MEMS 器件及其制备方法	键合结构(避免芯片损伤)
2020	CN114664794B	晶圆键合标识及其形成方法、晶圆键合方法	键合对准
2021	CN114864419A	载体晶圆以及去除键合结构中载体晶圆的方法	临时键合(控制应力)
	CN114999983A	键合标记的制作方法、键合晶圆、载体晶圆及键合方法	键合对准
	CN115831777A	一种晶圆键合方法	熔融键合(提高键合良率)

	CN115910808A	一种晶圆键合方法	混合键合（提高良率）
	CN116266541A	一种晶圆键合结构及其形成方法	键合对准
	CN114864466B	晶圆键合的方法及晶圆键合结构	键合对准
2022	CN117316864A	晶圆混合键合结构及方法	混合键合(减少金属扩散)
	CN117393540A	晶圆键合方法及晶圆键合结构	键合结构(提高键合性能)
	CN117423691A	晶圆混合键合结构及方法	混合键合(提高键合性能)
	CN117790405A	晶圆键合结构及其形成方法	键合对准
	CN117894745A	晶圆键合结构及其形成方法	临时键合（保证键合界面平整）
	CN117936446A	晶圆载体结构、晶圆键合及解离的方法	临时键合(减少晶圆损伤)
	CN117976555A	晶圆键合结构及其形成方法	临时键合(避免碎片产生)
	CN118073210A	一种晶圆键合结构及其形成方法	键合结构（避免碎边）
	CN118136526A	一种晶圆键合结构的形成方法	键合结构（避免漏电）
	CN118173461A	一种晶圆键合结构及其形成方法	键合结构（避免碎片）
2023	CN118213374A	晶圆键合结构及堆叠背照式图像传感器、形成方法	混合键合(提高对准精度)
	CN219892147U	一种刀具及晶圆解键合设备	临时键合
	CN118507367A	晶圆键合方法及晶圆键合结构	混合键合(提高键合强度)
	CN118522648A	键合晶圆的形成方法	混合键合（改善电连接）
2024	CN118919426A	一种晶圆键合结构及其形成方法	应力控制
	CN117976636B	键合结构、晶圆的键合方法及晶圆堆叠结构	键合结构(提高阻挡效果)
	CN120376543A	晶圆键合结构及其形成方法	键合对准

3.2.3 拓荆键合

1.公司简介

拓荆键科（海宁）半导体设备有限公司成立于 2020 年，总部位于浙江嘉兴海宁，是国内半导体薄膜沉积设备龙头拓荆科技的核心子公司（持股 55%），专注于三维集成领域先进晶圆键合设备及配套量检测设备的研发、生产与销售。该公司依托拓荆科技在半导体设备领域的技术积累，在晶圆键合技术上形成完整布局：自主研发的晶圆对晶圆（W2W）混合键合设备 Dione300 系列已实现产业化，键合精度达百纳米级，关键指标达到国际同类产品量产水平，持续获得中芯国际、长江存储等主流晶圆厂重复订单；芯片对晶圆（C2W）混合键合设备 Pleione300 适配 12 英寸/8 英寸晶圆，支持多尺寸芯片高精度拾取与键合；配套推出的 Propus 表面预处理设备是内地唯一应用于芯片对晶圆生产线的同类型设备，搭配 Crux300 键合精度量测设备、Ascella300 键合强度检测设备，形成“预处理-键合-量测-检测”的完整解决方案。其熔融键合设备 Dione300F 可实现低应力晶圆键合。拓荆键科的产品广泛应用于 3DIC、HBM、CIS、3DNAND 等高端领域，为国内半导体产业链自主化提供关键设备支撑，成为全球三维集成键合设备领域的重要参与者。

2.专利申请趋势

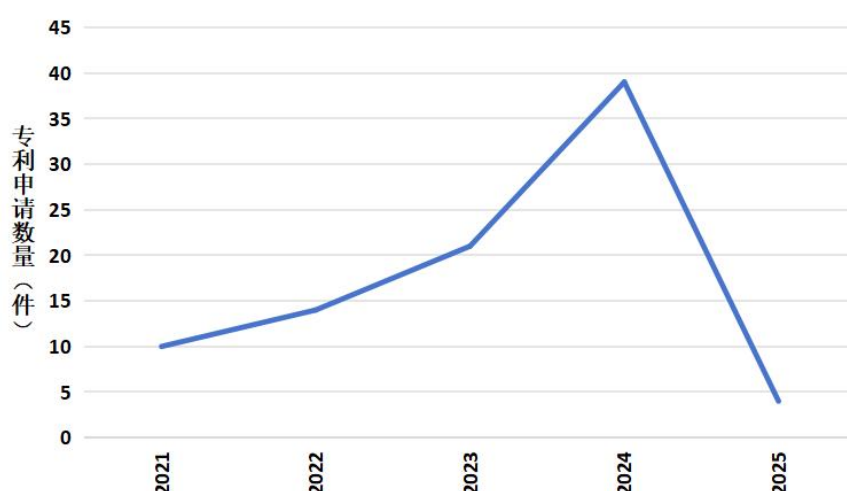


图 3-26 拓荆键科专利申请趋势

图 3-26 为拓荆键科晶圆键合相关专利的申请趋势。由图可见，拓荆键科无明显的技术储备阶段，自成立年（2020 年）后，专利申请量一路攀升，2024 年达到峰值 39 件。2022-2024 年同步推进 Dione300 系列（W2W 混合键合设备）、Pleione300 系列（C2W 混合键合设备）的研发，专利集中覆盖红外视觉对准、垂直标识定位、表面预处理等设备核心技术，匹配产品量产前的知识产权布局需求。2025 年目前公开的专利量仅为 4 件，由于专利公开的滞后性，随着后续已申请专利的陆续公开，相关专利申请量预计高于当前申请量（4 件）。

3.专利区域和法律状态分析

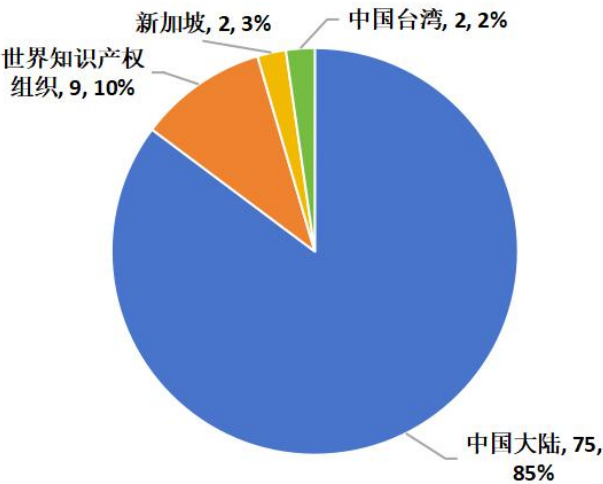


图 3-27 拓荆键科专利区域分布

图 3-27 为拓荆键科晶圆键合相关专利的区域分布情况。从图中可见，85% 的相关专利布局在中国大陆本土，中国台湾布局 2%，海外布局占比 13%。整体来看，其以中国大陆为核心布局区域的格局与其产品锚定中国国内高端制造领域的策略相符。

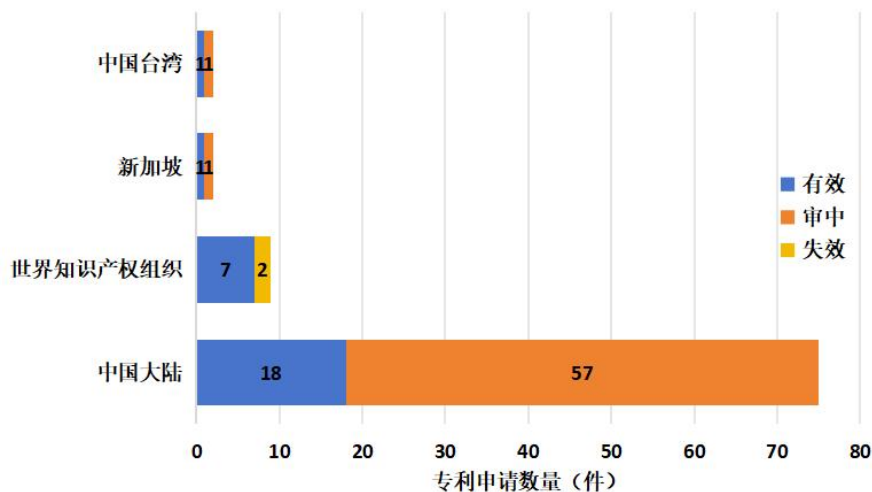


图 3-28 拓荆键科专利主要区域分布

从图 3-28 的主要区域的专利法律状态来看，由于近两年的专利申请占比达到一半，67%的专利目前处于审中状态，相对占比较高，有效专利占比 31%，后续随着审中专利审查程序的推进，其中部分专利有望获得授权，有效专利的数量会进一步增加。

4.发明人分析

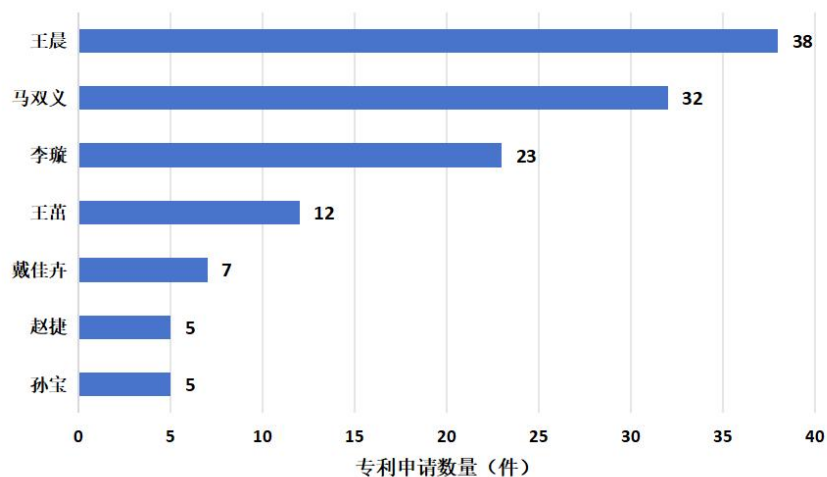


图 3-29 拓荆键科主要发明人

图 3-29 为拓荆键科晶圆键合相关专利持有量超 5 件的主要发明人排名情况。由图可见，王晨和马双义这两位发明人作为核心发明人，相关专利持有量均超过 30 件，涉及晶圆键合的对准、检测、定位等技术。其余发明人的相关专利持有量均不足 30 件。

5.技术分布分析

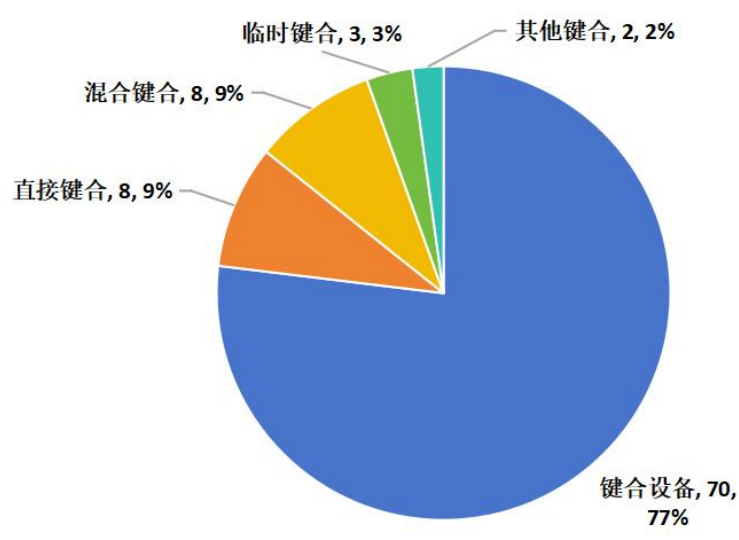


图 3-30 拓荆键科专利细分技术分布

图 3-30 为从细分技术角度对拓荆键科的相关专利进行分类检索得到的专利分布情况。与其他权利人不同的是，其 77%的相关专利与键合设备相关，从分支技术的直接检索结果来看，直接键合、混合键合相关专利的占比均为 9%，临时键合和其他键合的相关专利占比均不足 5%。

6.技术研发动向分析

表 3-6 为拓荆键科晶圆键合技术动向情况。整体来看，拓荆键科相关技术以晶圆键合设备为主，其中最主要的技术为键合对准技术。

从其成立的第二年 2021 年开始,其键合对准技术就开始专利布局,并在 2023 和 2024 年集中布局。其次为提高键合精度技术相关专利，主要可分为晶圆键合系统、光学对准装置、键合头、调平模块等。

此外其相关技术还包括键合图像识别（CN116403101A），键合检测技术，如键合强度检测（CN115938965A）、键合滑片检测（CN115839669A），键合参数调整（CN119400712A），防止键合污染（CN119447007A），激光解键合（CN119589112A）等。

表 3-6 拓荆键科技术动向分析

申请年	公开(公告)号	标题	技术备注
-----	---------	----	------

2021	CN116387221A	用于晶圆键合对准的装置及方法	键合对准
	CN116403101A	一种用于晶圆键合的图像识别方法、装置以及系统	键合图像识别
	CN116402992A	一种用于晶圆键合的图像识别方法、装置以及系统	键合图像识别
	CN116399223A	用于晶圆键合对准精度检测的装置及方法	键合对准
	CN116403959A	用于晶圆键合对准的方法及装置	键合对准
	CN116412781A	用于晶圆键合对准检测的装置及方法	键合对准
	CN116417393A	丝杠模组、晶圆键合定位装置及其操作方法	键合定位装置
2022	CN115799140B	校准方法及装置、组合显微镜、晶圆键合方法	键合对准
	CN115938965A	一种晶圆键合强度的检测装置	键合强度检测
	CN115839669A	晶圆键合滑片的检测方法、装置和电子设备	键合滑片检测
	CN115483122A	一种键合芯片及晶圆的光学对准装置以及方法	提高键合精度
	CN218769420U	一种键合芯片及晶圆的光学对准装置	提高键合精度
	CN118099057A	一种晶圆键合装置及方法	键合对准
	CN115714103B	用于晶圆键合对准及检测的装置和方法	键合对准
2023	CN219738910U	一种晶圆键合的检测装置	键合对准
	CN220041785U	一种晶圆键合的检测装置以及晶圆键合系统	键合检测
	CN116598241A	一种晶圆键合系统	提高键合精度
	CN220106467U	一种晶圆键合系统	键合对准
	CN116544173A	一种用于晶圆键合的顶针机构	顶针机构(提高精度)
	CN116259554B	一种晶圆键合装置、控制方法及存储介质	提高键合精度
	CN116313971B	通过边缘检测来进行晶圆键合对准的方法	键合对准
	CN116798926A	一种晶圆键合的对准方法及装置	键合对准

	CN116741615B	一种等离子体的活化设备、一种晶圆键合装置及方法	等离子活化键合（设备）
	CN117173255B	多相机位置的标定方法、系统及晶圆键合检测设备	提高键合精度
	CN119725202A	用于晶圆键合对准检测的装置及系统	键合对准
	CN222088539U	一种晶圆键合精度的检测装置	键合对准
	CN120199699A	晶圆键合设备、晶圆键合方法及存储介质	键合对准
2024	CN119275160A	一种晶圆对准装置和晶圆键合方法	键合对准
	CN119495604A	一种芯片键合装置和方法	键合对准
	CN119419164A	一种晶圆卡盘及其调平方法、晶圆键合设备	键合对准（键合调平装置）
	CN120341158A	真空吸附卡盘、晶圆键合设备、方法及存储介质	键合对准
	CN120656988A	一种用于晶圆键合的顶针装置及顶针装置的控制方法	键合对准
	CN119400712A	键合设备、键合方法及存储介质	键合参数调整
	CN119400714A	键合设备、键合方法及存储介质	键合参数调整
	CN119446976A	一种键合装置、方法及存储介质	键合对准
	CN119381272A	一种键合设备、方法及存储介质	键合对准
	CN119447007A	键合设备、键合方法及存储介质	防止键合污染
	CN119447008A	待键合件的拾取头、键合方法及存储介质	提高键合精度
	CN119447000A	吸嘴调平模块、待键合件的拾取头、键合方法及存储介质	提高键合精度
	CN119446942A	一种倒置键合的工艺装置和工艺方法	提高键合精度
	CN119447001A	一种键合对准系统、键合设备及键合方法	键合对准
	CN119517797A	键合装置视觉系统、确定待键合件位姿的方法及存储介质	键合对准
	CN119517832A	一种真空吸嘴、键合头和键合方法	提高键合精度
	CN119517830A	一种真空吸嘴、键合设备及方法	提高键合精度

	CN119581344A	键合装置、键合方法及存储介质	提高键合精度
	CN119589112A	一种激光解键合设备和方法	解键合
2025	CN120413473A	一种键合检测装置和键合检测方法	键合检测

3.3 权利人对比分析

表 3-7 为以上六家主要权利人技术及专利布局情况对比。

从成立时间来看，中国大陆的三家权利人时间较晚，均在 2000 年及之后。其中中芯国际成立时间最早。中国台湾的台积电、德国的 EV 集团成立较早，处于 1980 年及之前。美国的 Adeia 公司虽然成立时间较晚，但是，其相关技术来源主体可追溯到泰斯拉公司（Tessera），该公司成立于 1990 年，2017 年更名为 Xperi，2022 年业务分拆，IP 业务更名 Adeia。

从专利角度看，台积电的相关专利数量最多，并且近五年的技术活跃度高达 53%。核心专利数量也在 1000 件以上，其核心专利以及有效专利数量均冠绝群雄；相关技术以混合键合、键合对准技术为主。中国大陆的长江存储虽然成立时间不足 10 年，但是其相关技术积累较为雄厚，总计专利 918 件，核心专利 384 件，均次于台积电；相关技术同样以混合键合及键合对准技术为主。美国 Adeia 公司近五年的技术活跃度最高，高达 61%，其总计专利 798 件，位列长江存储之后，但是与台积电相比，其在中国大陆布局的相关专利数量较少，不足 50 件；相关技术以混合键合和直接键合为主。EV 集团以 538 件总计专利公开量位列第四，核心专利 330 件，位列长江存储之后，同 Adeia，其在中国大陆布局的专利较少，72 件；相关技术以直接键合和临时键合为主。中芯国际以 420 件总计专利公开量位列第五，核心专利数量较少，这或与其专利多布局在晶圆键合的外围技术有关（见 3.2.1 节）；相关技术较为全面，在直接键合、临时键合、混合键合以及键合对准技术领域均有不同程度的侧重布局。拓荆键科成立时最晚，总计专利公开量不足 90 件，其专利布局集中在晶圆键合设备中的键合对准技术领域，专利的布局集中度最高。

表 3-7 各主体对比情况

公司名称	台积电	Adeia 公司	EV 集团	长江存储	中芯国际	拓荆键科
总部	中国台湾	美国	德国	中国大陆	中国大陆	中国大陆
成立时间 (年)	1987	2019	1980	2016	2000	2020
主要技术/ 产品	SolC 混合键合技术，支持晶圆对晶圆 (W2W)、芯片对晶圆 (D2W) 键合	DBI® (晶圆对晶圆键合)、DBI® Ultra (芯片对晶圆/芯片对芯片键合)	永久键合系统 (EVG® 501/540/560 等)、DBI® Ultra (芯片对晶圆/芯片对芯片键合)	Xtacking® 4.0 混合键合技术	涵盖 0.35 微米至 14 纳米制程的集成电路晶圆代工的晶圆键合与先进封装工艺	Dione300 系列、Pleione300
总计专利公开量	2904	798	538	918	420	88
近 5 年专利公开量	1533	486	87	327	147	88
技术活跃度 (近 5 年/总计)	53%	61%	16%	36%	35%	100%
专利价值 > 50000 美元之核心专利数量	1211	225	330	384	24	0
法律状态	有效: 1806 在审: 757	有效: 233 在审: 345	有效: 323 在审: 89	有效: 539 在审: 200	有效: 186 在审: 140	有效: 20 在审: 59
主要目标市场	美国、中国大陆、中国台湾	美国、中国台湾、韩国	中国台湾、中国大陆、日本、美国	中国大陆、美国	中国大陆	中国大陆

中国大陆布局专利数量(件)	477	47	72	423	397	75
主要技术布局	混合键合、键合对准	混合键合、直接键合	直接键合、临时键合	混合键合、键合对准	直接键合、临时键合、混合键合、键合对准	键合对准

3.4 本章小结

全球晶圆键合技术领域形成“全球龙头稳固、中国大陆快速追赶”的竞争格局，全球及中国大陆主要权利人在技术布局、区域策略、发展路径上呈现显著差异。

从申请趋势来看，全球的主要权利人起步更早。台积电 1993 年起申请，2012-2023 年进入快速布局期，2023 年专利量达 433 件；Adeia 公司 2011 年后专利申请阶梯式增长，2022 年达峰值 170 件；EV 集团 2008 年起快速爆发，2011 年专利量达到峰值，95 件。内地权利人起步较晚但增速迅猛，长江存储 2017 年起申请，2019 年达到峰值 273 件；中芯国际 2014 年、2022 年出现两次增长高峰，峰值分别达到 86 件、72 件；拓荆键科自 2020 年成立后专利申请持续攀升，2024 年达到峰值，39 件。

区域布局上，全球主要权利人侧重全球化布局。台积电重点布局美国(53.9%)、中国大陆(16.4%)和中国台湾(15.5%)；Adeia 公司聚焦美国(45.4%)与中国台湾(12.7%)；EV 集团均衡布局韩国(13.6%)、中国台湾(13.6%)、中国大陆(13.4%)、日本(13.4%)等多个市场。内地权利人以本土布局为主，长江存储中国大陆专利占比 46.1%，中芯国际达 94.5%，拓荆键科 85%，海外布局仍有待加强。

从细分技术布局来看，各权利人各有侧重。台积电聚焦混合键合(57%)，适配先进封装需求；Adeia 公司深耕混合键合(49%)与直接键合(40%)，通过专利许可构建壁垒；EV 集团以临时键合(54%)为核心，设备技术领先；长

江存储 80%专利集中于混合键合，支撑 3DNAND 量产；中芯国际技术分布均衡，直接键合（39%）、临时键合（24%）均有布局；拓荆键科 77%专利聚焦键合设备，填补国内空白。从权利人技术研发动向来看，键合对准技术正成为行业内竞相进行专利集中布局的细分领域，其中台积电、长江存储和拓荆键科尤为明显。

第四章 晶圆键合特定技术专题分析

本章主要针对晶圆键合技术的三个主要方向进行分析，分别对直接键合、临时键合、混合键合和其他键合（阳极键合、热压键合、共晶键合以及粘合剂键合）分别予以介绍，深入剖析各技术分支不同权利人相关专利。

4.1 直接键合

4.1.1 技术简介

1.基本概念：直接键合是一种在不使用中间层的情况下，通过晶圆表面的原子间相互作用实现晶圆键合的技术。在该过程中，经过预处理的晶圆表面在一定条件下紧密接触，原子间发生扩散和结合，从而形成牢固的键合。直接键合主要包括熔融键合、表面活化键合等。

2.技术特点：具有键合强度高、键合界面可靠、工艺流程简单等优点。它能够实现晶圆间的紧密连接，为半导体器件的制造和集成提供了重要的技术支持。

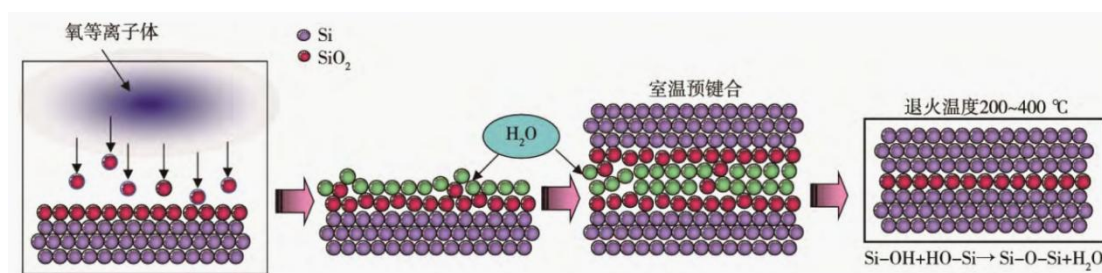


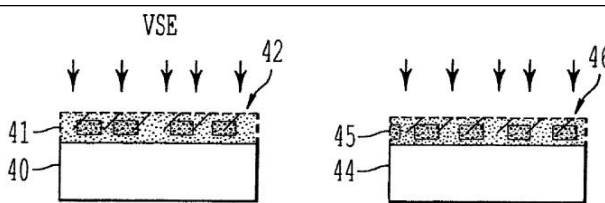
图 4-1 等离子活化键合机理

表 4-1 直接键合常见的键合

键合类型	概念解释	核心原理	技术特点	典型应用场景
熔融键合 (Fusion Bonding)	硅基晶圆等在高温下实现原子级直接结合的键合技术，属于传统直接键合方式	高温（1000℃以上）使晶圆表面氧化层（SiO ₂ ）熔融，通过原子扩散形成共价键结合	键合强度高、绝缘性优异，但需高温处理	SOI 晶圆制造、MEMS 器件封装
表面活化键合 (Surface Activated Bonding)	低温下通过表面活化（等离子体等）实现异质材料直接键合的技术	等离子体/离子束处理激活晶圆表面，室温/低温下原子间形成化学键合	低温（室温-300℃）、适配异质材料（如硅-化合物半导体）	化合物半导体键合、异质集成芯片

4.1.2 重点专利解读

1.表面活化键合相关专利解读之 US7871898B2

申请号	US12/720368	申请日	2010-03-09	同族专利被引用专利数量	1024
公开号	US7871898B2			法律状态/事件	期限届满 诉讼 无效程序 质押
标题	Method for low temperature bonding and bonded structure (低温粘合方法及粘合结构)				
申请(专利权)人	英帆萨斯邦德科技有限公司				
发明目的	表面蚀刻和化学键合的方法可以在没有外部压力或场的情况下实现半导体晶圆的牢固、室温键合，通过实现高键合能与与热敏材料的兼容性来解决现有技术的局限性。				
主要附图					
第一权利要求	1. A bonding method, comprising: forming first and second planar bonding surfaces; etching said first bonding surface; terminating said first bonding surface with a species; bringing into direct contact said first and second bonding surfaces after said etching and terminating; and forming a chemical bond between said first and second bonding surfaces.				

当前的晶圆键合技术需要升高温度、压力或外部场，这可能会损坏材料并引入应力，限制其应用，特别是对于热敏感或不匹配的半导体晶圆，并且现有的低温方法缺乏在不进行退火或退火的情况下实现强键合的有效性。该专利公开的涉及表面蚀刻和化学键合以形成具有所需物质的活化表面的方法，允许在室温下直接键合，无需外部压力或电场，使用等离子处理和化学机械抛光等工艺来实现表面粗糙度和用硅烷醇、NH₂ 终止、氟或 HF 基团，促进化学键的形成和扩散。该方法能够实现多种材料的牢固键合，包括非平面和沉积材料，键合能量至少为 500mJ/m²，足以进行后续加工，无需退火，并保持最小的材料损坏，从而允许集

成不同的半导体技术和设备。

2.熔融键合相关专利解读之 US9028628B2

申请号	US13/826229	申请日	2013-03-14	同族专利被引用 专利数量	57
公开号	US9028628B2			法律状态/事件	未缴年费 期限延长
标题	Wafer-to-wafer oxide fusion bonding (晶圆对晶圆氧化物熔合键合)				
申请(专 利权)人	国际商业机器公司				
发明目的	通过增强边缘区域键合,有效减少边缘碎裂和裂纹,通过消除微空隙增加可用晶圆面积和产量,并提高范德华键合质量,从而提高垂直集成器件的可靠性。				
主要附图	<pre> graph TD 100[PREPARE WAFERS FOR BONDING - DEPOSIT SiOx LAYER, PLANARIZE] --> 102[SURFACE ACTIVATION AND CLEANING] 102 --> 104[WAFER ALIGNMENT ON INITIAL BONDING CHUCKS] 104 --> 106[INITIAL BONDING ROOM TEMP EDGE-SLOPED BOTTOM CHUCK] 106 --> 108[THERMOCOMPRESSIVE BONDING FLAT BOND CHUCK <150° C., <10 MINS] 108 --> 110[PERMANENT ANNEAL BONDING <200° C., <1 HR.] </pre>				
第一权利 要求	1. A method for oxide-oxide fusion bonding of two wafers, a bonding surface of each wafer being prepared for oxide-oxide fusion bonding, the method comprising:performing a van der Waals force bonding process between the bonding surfaces of the first and second wafers by at least:mounting on a first chuck face of a first chuck a first wafer having a bonding surface facing away from the first chuck face; mounting on a second chuck face of a second chuck a second wafer having a bonding surface facing away from the second chuck face, the second chuck face including at least a flat central zone and an outer annular zone contiguous to the central zone, the outer annular zone being lower than the flat central zone such that an annular edge portion of the bonding surface of the second wafer that is mounted to the outer annular zone of the second chuck face is biased towards the outer annular zone; while the bonding surfaces of the first and second wafers are in opposed aligned close proximity to each other, biasing a center portion of the first wafer towards the second wafer such that a center portion of the bonding surface of the first wafer contacts a center portion of the bonding surface of the second wafer, and releasing the first wafer from the first chuck, whereby the first wafer snaps against the second wafer forming a van der Waals bonding wave propagating radially outward from the center contact portions of the bonding surfaces that is disrupted upon reaching the annular edge portion of the bonding surface of the second wafer that is biased towards the outer annular zone of the second chuck face,				

	the annular edge portion of the bonding surface of the second wafer and a corresponding annular edge portion of the bonding surface of the first wafer defining an edge gap between the annular edge portions; mounting the van der Waals force bonded first and second wafers between a third chuck having a flat chuck face, and a fourth chuck having a flat chuck face; in a process chamber, performing a thermocompression bonding process between the bonding surfaces of the first and second wafers by at least: heating the first and second wafers to a temperature at least sufficient to initiate condensation of silanol groups between the bonding surfaces of the first and second wafers; reducing the pressure of the atmosphere in the process chamber; applying a compression force to the first and second wafers with the third and fourth chucks so as to substantially eliminate the edge gap; and performing a permanent anneal bonding process between the bonding surfaces of the first and second wafers.
--	---

半导体制造中的氧化物-氧化物熔融键合工艺常常会因键合空隙和缺陷而导致晶圆边缘区域出现缺陷，从而导致碎裂、开裂和分层,从而降低制造良率并需要额外的边缘修整步骤。该专利公开的熔融键合方法，涉及范德华力键合，然后使用专门设计的卡盘进行热压键合工艺，该卡盘具有破坏键合波的环形边缘区域，允许脱气和随后的退火键合，以增强边缘区域键合，减少缺陷并提高产量。该方法通过增强边缘区域键合，有效减少边缘碎裂和裂纹，通过消除微空隙增加可用晶圆面积和产量，并提高范德华键合质量，从而提高垂直集成器件的可靠性。

4.2 临时键合

4.2.1 技术简介

1.基本概念：临时键合是在晶圆减薄、传输和背面工艺处理过程中，为降低超薄晶圆的风险而实施的一种工艺技术。它的主要作用是为超薄晶圆提供机械支撑，确保晶圆在处理过程中的稳定性和安全性，同时避免晶圆在处理过程中发生翘曲、破损等问题。

2.工艺过程：通过将晶圆键合到载片上，完成相关工艺后，再将晶圆与载片分离。这个过程包括临时键合、晶圆背面工艺处理、解键合和后续的清洗、划片、

封装等步骤。

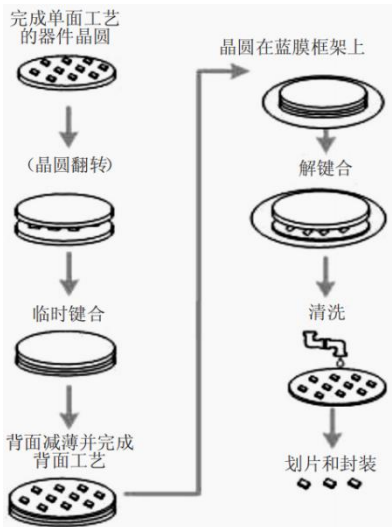


图 4-2 临时键合和解键合工艺步骤

4.2.2 重点专利解读

1.临时键合相关专利解读之 US8343851B2

申请号	US12/585537	申请日	2009-09-17	同族专利被引用 专利数量	258
公开号	US8343851B2			法律状态/事件	授权 期限 延长
标题	Wafer temporary bonding method using silicon direct bonding（采用硅直接键合的晶圆临时键合方法）				
申 请 (专 利 权) 人	三星电子株式会社(韩国)				
发明目的	提供了一种晶圆临时键合方法,该方法可解决传统临时键合工艺中由于粘合层不规则以及形成和去除粘合层所需的附加模块结构复杂而导致后续工艺中产生的缺陷。				
主要附图					
第一权利 要求	1. A wafer temporary bonding method using silicon direct bonding (SDB), the method comprising: preparing a carrier wafer and a device wafer; adjusting a roughness of a surface of the carrier wafer; combining the carrier wafer and the device wafer using SDB; back-grinding the device wafer; and separating the carrier wafer				

	from the device wafer in a separation process.
--	--

现有的减薄硅晶圆以降低芯片封装高度的方法在保持结构强度方面面临挑战，因为较大的晶圆在加工过程中很容易损坏，并且由于粘合剂不规则以及复杂的粘合剂层形成和去除工艺，传统的临时键合工艺存在缺陷。该专利采用硅直接键合(SDB)的晶圆临时键合方法，通过等离子处理、湿法蚀刻或薄膜沉积等工艺调整载体和器件晶圆的粗糙度，从而在背面研磨时实现牢固的键合并易于分离，无需粘合剂并简化粘合和分离过程。该方法增强了背面研磨过程中薄晶圆的结构完整性，同时促进载体晶圆的轻松分离，通过避免粘合剂相关问题并实现载体晶圆的重复利用来减少缺陷和运营成本。

2.临时键合相关专利解读之 US7883991B1

申请号	US12/707752	申请日	2010-02-18	同族专利被引用专利数量	150
公开号	US7883991B1			法律状态/事件	未缴年费
标题	Temporary carrier bonding and detaching processes (临时载体粘合和分离过程)				
申请(专利权)人	台湾积体电路制造股份有限公司				
发明目的	提供一种在半导体器件的制造期间接合和分离用于处理减薄晶圆的临时载体的方法。				
主要附图					
第一权利要求	1. A method of fabricating a stacked device, comprising: providing a wafer having a first surface and a second surface opposite to the first surface, wherein the first surface is coated with a first adhesive layer; providing a carrier coated with a second adhesive layer, exposing the edge zone of the carrier; bonding the first surface of the wafer to the carrier through the first adhesive layer and the second adhesive layer, wherein the edge zone of the carrier is covered by the first adhesive layer; thinning the wafer from the second surface, forming a thinned wafer; bonding a plurality of dies onto the thinned wafer; removing the first adhesive layer adjacent the edge of the thinned wafer, exposing the edge zone of the carrier and the second adhesive layer adjacent the edge zone of the carrier; applying a light-form energy to decompose the second adhesive layer; detaching the carrier from the wafer; and removing the first adhesive layer remaining on the first surface of the wafer.				

在 3D IC 制造过程中处理薄化半导体晶圆的传统方法面临着一些问题，例如晶圆边缘的粘合剂材料暴露，导致蚀刻过程中碎裂，以及由于强粘合力而损坏低 k 薄膜，以及粘合剂流入玻璃载体，损害晶圆完整性。该专利公开了一种涉及使用临时载体的方法，该临时载体在器件晶圆上具有第一粘合剂层，在载体上具有第二粘合剂层，其中使用光或溶剂分解第二粘合剂层以促进容易分离而不损坏晶圆，从而允许精确薄化晶圆的处理和加工。这种方法能够成功地粘合和分离临时载体，而不会对半导体结构造成损坏，从而确保减薄器件晶圆的完整性，并降低切割过程中出现粘合剂相关问题的风险。

4.3 混合键合

4.3.1 技术简介

- 1.基本概念：混合键合是通过结合不同键合方法的优点，将多种键合技术整合在一个工艺过程中，实现不同材料之间的可靠连接，如 Cu/SiO₂和 Cu/粘结剂。
- 2.技术特点：这种技术不仅能够实现芯片间的电学连接，还能提供良好的机械支撑和热管理能力，满足高性能、高密度和低功耗芯片设计的要求。

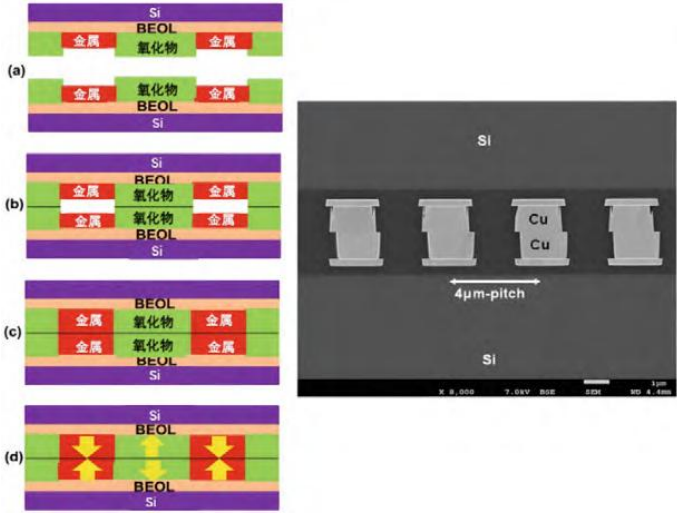


图 4-3 混合键合原理图

4.3.2 重点专利解读

1.混合键合相关专利解读之 US9953941B2

申请号	US14/835379	申请日	2015-08-25	同族专利被引用 专利数量	523
-----	-------------	-----	------------	-----------------	-----

公开号	US9953941B2	法律状态/事件	授权 质押
标题	Conductive barrier direct hybrid bonding (导电阻挡层直接混合键合)		
申请(专利权)人	英帆萨斯邦德科技有限公司		
发明目的	利用导电阻挡层形成凹陷表面的方法解决了键合金属和电介质表面的挑战，实现了稳健可靠的直接混合键合，同时减少了热预算并改善了半导体器件中 3D 互连的电连接性。		
主要附图			
第一权利要求	1. A method of forming a direct hybrid bond surface, comprising: forming a first plurality of metallic contact structures in an upper surface of a first substrate, where a top surface of said first plurality of metallic contact structures is below said upper surface; forming a first layer of conductive barrier material over said upper surface and said first plurality of metallic contact structures, said first layer of conductive barrier material comprising a first exposed portion over said upper surface; and removing said first exposed portion of said first layer of conductive barrier material from said upper surface to leave a second exposed portion of said first layer of conductive barrier material on said first plurality of metallic contact structures and being configured to form the direct hybrid bond surface, said second exposed portion of said first layer of conductive barrier material comprising an exposed top surface disposed below said upper surface.		

直接混合键合的挑战是在金属和电介质表面之间实现牢固而可靠的键合，特别是对于钨和铝等材料，由于高屈服强度、热膨胀系数、自然氧化物和小丘形成，这很难实现，限制了在 CMOS BEOL 工艺中采用直接混合键合技术。该专利公开了一种通过创建具有导电阻挡层的凹陷表面来形成直接混合键合表面的方法，其中选择性地去除导电阻挡层以确保无空隙键合界面，从而允许在室温下以改进的方式对准和键合基板。电气连接和减少热预算。这种方法可实现稳健可靠的直接混合键合，同时降低热预算并改进电气连接，促进 3D 互连在半导体器件中的集成，并通过利用现有 CMOS BEOL 基础设施减少制造商的采用障碍。

2.混合键合相关专利解读之 US9960142B2

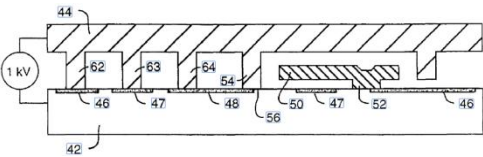
申请号	US15/071576	申请日	2016-03-16	同族专利被引用专利数量	358
-----	-------------	-----	------------	-------------	-----

键合类型	概念解释	核心原理	技术特点	典型应用场景
阳极键合 (Anodic Bonding)	玻璃与硅/金属在电场+中温条件下,实现绝缘密封的直接键合技术	电场作用下玻璃中碱金属离子迁移,形成静电吸附+化学键合(Si-O键)	中温(200-500℃)、密封性好,适配绝缘材料键合	MEMS 传感器封装、微流控芯片
热压键合 (Cu-Cu)	经酸蒸(如甲酸)预处理去除Cu表面氧化膜,通过加压+中低温加热实现金属原子扩散结合的无中间层键合	甲酸蒸汽还原CuO生成甲酸铜(防再氧化),200~250℃加热+加压下Cu原子相互扩散形成冶金结合	键合温度低,表面粗糙度影响小;抗氧化性强,适配高密度互连	3D IC堆叠、Cu-Cu晶圆直接键合、大功率电子器件
共晶键合	以低熔点合金(如Au/Sn、Au/Ge)为中间层,加热至共晶温度使合金熔化,冷却后形成冶金结合的键合	中间层合金熔化后润湿待键合表面,冷却凝固形成致密共晶层,实现界面机械与电气连接	键合强度高,气密性好;工艺成熟,适配异质材料封装	MEMS 传感器气密性封装、大功率器件封装
粘合剂键合	以有机粘合剂(如BCB、环氧树脂)为中间层,通过粘合剂固化实现界面粘合的键合方式	粘合剂填充界面间隙,经加热/紫外固化形成机械结合,部分粘合剂可实现电气互连辅助功能	工艺简单,适配不规则表面;键合强度依赖粘合剂性能,耐温性有限	异质集成器件封装、柔性电子器件、InP HEMTs 石英晶圆键合

4.4.2 重点专利解读

1.其他键合相关专利解读之 US5866469A

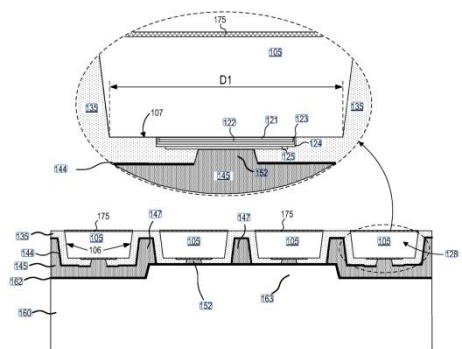
申请号	US08/662390	申请日	1996-06-13	同族专利被引用专利数量	87
公开号	US5866469A			法律状态/事件	期限届满 权利转移
标题	Method of anodic wafer bonding (阳极晶片键合方法)				
申请(专利权)人	波音北美公司 霍尼韦尔国际公司				
发明目的	在阳极键合过程中,通过覆盖晶圆上的额外支柱引入临时短路,解决了脆弱微结构损坏的问题,无需额外的处理步骤即可直接测试和操作器件,从而提高器件产量并降低成本。				

主要附图	
第一权利要求	1. A method of anodic wafer bonding, comprising the steps of: providing a low conductivity substrate having an electric circuit formed thereon; providing a covering wafer having first and second raised areas; placing said covering wafer atop said substrate with said first raised area contacting a bonding region of said substrate and said second raised area contacting said electric circuit; applying a sufficient electric potential across said substrate and said covering wafer for bonding said first raised area of said covering wafer to said bonding region of said substrate; said second raised area of said covering wafer forming a temporary electric short for maintaining said electric circuit at substantially the same electric potential as said covering wafer; and removing unwanted portions of said covering wafer including said second raised area forming said temporary electric short.

现有的阳极晶圆键合工艺可能会因施加高压而对脆弱的微结构造成损坏,并且用于防止损坏的临时连接线通常与最终器件操作不兼容,需要额外的处理步骤,从而增加成本并降低产量。该专利公开的键合方法包括在覆盖晶圆上形成额外的凸起柱或柱,这些柱或柱接触选定的电路线,以在阳极键合期间产生临时短路,将所有电路元件保持在相同电位并防止损坏,这些弱键合柱与不需要的晶圆一起被去除,一步完成多个部分,无需额外处理来分离电路线。该方法通过防止电弧和静电损伤,有效保护阳极键合过程中脆弱的微结构,允许直接测试和操作器件,无需额外的处理步骤,从而提高器件良率并降低成本。

2.其他键合相关专利解读之 US9087764B2

申请号	US13/952450	申请日	2013-07-26	同族专利被引用 专利数量	178
公开号	US9087764B2			法律状态/事件	授权 期限 延长 权利 转移
标题	Adhesive wafer bonding with controlled thickness variation (具有可控厚度变化的粘合剂晶圆键合)				
申请(专利权)人	苹果公司				
发明目的	使用具有凸起间隔物和热固性稳定层的载体基板解决了微型器件中均匀粘合和稳定的挑战,通过用静电转移头支撑微型器件来提高平面度和转移效率。				

主要附图	
第一权利要求	1. A structure comprising: a stabilization layer including an array of stabilization posts; an array of micro devices formed over the array of stabilization posts; and a carrier substrate including raised spacers extending from a spacer-side surface of the carrier substrate, wherein the raised spacers extend into the stabilization layer to meet a subset of the stabilization posts in the array of stabilization posts.

微型器件商业制造和封装的挑战在于，随着尺寸的减小，实现均匀的键合和稳定性，从而导致粘合层不均匀和潜在的分层，特别是在键合具有严重晶格失配和曲率问题的晶圆时。该专利公开的结构和方法，涉及具有凸起间隔物的载体基板和由环氧树脂或苯并环丁烯等热固性材料制成的稳定层，该稳定层形成支撑微型器件的稳定柱，确保均匀的粘附性和平面度，以及用于精确拾取和转移的静电转移头。这种方法增强了载体基板上微型器件的平面度和均匀性，通过保持一致的拾取位置来降低分层风险并提高成功转移的产量，即使器件具有高晶格失配和曲率。