

HBM 相关技术专利 分析报告

上海市知识产权服务中心
(上海市知识产权发展研究中心)

2026 年 01 月

声明

1. 本报告的分析基准日为 2025 年 11 月 24 日，一切分析结论均基于在此基准日之前能够获取的信息与资料而得出。对于基准日之后由于法律、技术、经济环境等发生变化，可能由此引发不同的分析结论。

2. 本报告形成过程中对于数据的检索、筛选、标引、分析等均依据本报告确定的分析“标的”或“事实”（分析“标的”或“事实”主要依据企业提供的特定技术信息以及市场信息为准）及当前所适用的专利法而作出，但并不意味分析服务机构能够保证上述分析“标的”或“事实”的准确性与全面性，也不意味着分析服务机构能够保证上述检索、筛选、标引、分析等处理过程的准确性与全面性。

3. 本报告在依据确定的分析“标的”或“事实”而进行创新启示建议时，不能保证也不能排除其运用于研发、生产与市场的有效性，且不能保证也不能排除与其他公开技术或者专利权利相冲突，在企业的后续具体实施中，应当再次进行技术、法律与市场层面的可行性分析。

摘要

本项目研究目的是：通过对 HBM（高带宽存储）相关专利的系统分析，从技术演进、区域布局、权利人竞争、专利运营等多角度明确关键专利与技术短板，为国内科研人员和企业提供清晰研究方向，助力我国 HBM 技术在核心领域的自主创新与应用突破，进一步增强我国在半导体存储领域的核心竞争力。

基于研究目的，本报告通过技术关键词、分类号、权利人及同位语组合形成多组检索式，在全球范围内开展专利检索，经人工筛选和去重后，最终得到 6942 件与 HBM 技术密切相关的专利，涵盖接口&协议（占比 36%）、互连（占比 18%）、封装（占比 18%）、可靠性（占比 16%）、混合键合（占比 12%）五大核心细分技术方向。

从技术层面看，HBM 技术历经“起步探索期-快速爆发期”两阶段演进，形成以接口&协议为核心、多技术协同支撑的技术体系，技术迭代聚焦高带宽（HBM4 达 2.8TB/s）、高堆叠层数（16 层）、低功耗（ $\leq 12\text{pJ/bit}$ ）及场景化定制方向，混合键合、近存计算成为全球重点布局的关键技术。

区域与竞争格局呈现“韩美主导、国内追赶”特征：美国、韩国、中国大陆合计占据全球超七成专利份额，三星电子、爱思开海力士、美光科技为全球龙头，长江存储、长鑫存储、长电科技构成中国大陆核心梯队。上海两家头部权利人聚焦封装、互连及混合键合领域。

国产化进展表现为“制造端突破、核心环节滞后”：国内企业 HBM 技术集中在混合键合、封装、可靠性领域，但接口&协议相关专利占比不足 5%。

全球专利运营以转让和质押为主，累计占比超九成。转让多涉及海外权利人（如美光科技、英特尔以及博通）；质押多涉及海外权利人和银行之间；许可占比仅 3%。国内企业专利运营以本土许可为主，海外许可与质押参与度低。

为推动 HBM 技术国产化，建议（1）提升接口&协议技术国际标准参与度，强化国际标准制定话语权；（2）早期失效核心基础专利的收储和再利用，提升风险防控能力；（3）拓展多元化模式，搭建国际运营平台，提高专利运营维度

和能力；（4）场景化布局——聚焦 AI 加速器需求，构建“技术-产业-专利”协同壁垒；（5）关注封装可靠性及 HBM 互连速度/带宽提升；（6）关注混合键合键合对准、低温键合及无凸块键合技术；（7）把握上海 Chiplet 和先进封装技术优势，整合产业链形成产业联盟。

目 录

声明	I
摘要	II
第一章 HBM 技术概述	1
1.1 项目背景	1
1.2 研究目的	2
1.3 研究思路	2
1.3.1 分析方法	2
1.3.2 分析内容	3
1.4 检索策略与检索结果	3
1.4.1 检索策略	3
1.4.2 检索结果	4
1.5 HBM 技术介绍	4
1.6 产业发展状况	7
1.7 国内政策环境	10
第二章 HBM 技术专利宏观分析	14
2.1 整体专利分析	14
2.1.1 专利申请趋势	14
2.1.2 专利区域和法律状态分布	15
2.2 主要权利人和发明团队分析	16
2.2.1 主要权利人分布情况	16
2.2.2 主要发明人团队	18
2.3 细分技术分析	19
2.3.1 细分技术分布	19
2.3.2 细分技术国内外对比分析	20
2.4 专利运营分析	23

2.4.1 专利运营分布	23
2.4.2 专利运营概况	23
2.5 本章小结	27
第三章 国内外主要权利人分析	29
3.1 全球主要权利人	29
3.1.1 爱思开海力士（SK hynix）	29
3.1.2 三星电子（Samsung Electronics）	34
3.1.3 美光科技（Micron Technology）	40
3.2 国内主要权利人	46
3.2.1 长鑫存储	46
3.2.2 长江存储	52
3.2.3 长电科技	56
3.3 上海主要权利人	61
3.3.1 上海壁仞科技	61
3.3.2 上海先方半导体	64
3.4 权利人对比分析	66
3.5 本章小结	70
第四章 HBM 特定技术专题分析	73
4.1 3D 堆叠	73
4.1.1 技术简介	73
4.1.2 重点专利解读	74
4.2 混合键合	76
4.2.1 技术简介	76
4.2.2 重点专利解读	77
4.3 热管理和可靠性	79
4.3.1 技术简介	79
4.3.2 重点专利解读	80

4.4 接口&协议 83

 4.4.1 技术简介83

 4.4.2 重点专利解读 84

4.5 设备和材料87

 4.5.1 设备87

 4.5.2 材料89

第一章 HBM 技术概述

1.1 项目背景

HBM（高带宽存储）技术作为后摩尔时代支撑高密度计算的核心存储方案，自产业化以来其工艺成熟度与性能边界持续突破，尤其是近五年呈现出加速迭代的创新态势。譬如，2021 年三星电子实现 HBM2E 技术量产，通过 8 层堆叠与 TSV（硅通孔）互连工艺，将单芯片带宽提升至 460GB/s，奠定高端 AI 芯片存储配套基础；2022 年 SK 海力士推出第三代 HBM（HBM3）产品，突破 12 层堆叠技术，带宽达 819GB/s，同时实现功耗降低 20%，适配高性能计算场景需求；2023 年长鑫存储宣布突破 HBM3 关键技术，完成 12 层堆叠样品制备，实现国产高带宽存储技术零的突破，为自主可控产业链构建提供支撑；2024 年美光科技量产 HBM3E 产品，堆叠层数提升至 16 层，带宽突破 1TB/s，而国内华邦电子联合长电科技开发的 HBM 封装互连技术实现量产验证，打破海外封装技术垄断；2025 年长江存储推出混合堆叠 HBM 方案，通过异质材料集成优化存储密度，进一步拓宽技术应用场景。

技术的持续迭代推动 HBM 在 AI 大模型训练、超算中心、自动驾驶、高端服务器等关键领域的深度渗透，凭借其在提升数据传输带宽、降低单位带宽功耗、缩减封装体积等方面的核心优势，成为全球半导体产业竞争的战略制高点。其中，通用型 HBM 技术侧重跨场景兼容性与规模化量产能力，专用型 HBM 方案则聚焦特定领域的性能定制（如 AI 场景的高带宽优化、车载场景的高可靠性设计），为半导体产业实现“计算-存储”协同增效、突破传统存储带宽瓶颈提供核心支撑。从产业规模看，全球 HBM 市场保持爆发式增长态势，2023 年全球 HBM 市场规模约 120 亿美元，同比增长 85%，远超半导体行业平均增速，据行业预测，到 2026 年全球 HBM 市场规模将突破 500 亿美元，成为驱动半导体存储产业增长的核心引擎。从竞争格局来看，全球 HBM 技术呈现“韩美主导、中国追赶”的格局，韩国三星、SK 海力士合计占据全球 HBM 市场 90%以上的份额，美国美光科技凭借在 TSV 互连、堆叠封装领域的核心专利布局，形成技术壁垒；同时，

美国依托半导体出口管制政策，对我国实施高端 HBM 产品、核心制造设备（如晶圆键合设备、TSV 刻蚀设备）及关键材料的出口限制，部分韩企也受限于美国管制要求，对我国高端 HBM 供应实施差异化管控，导致我国 AI 芯片、超算等领域面临“存储卡脖子”风险，形成技术与供应链双重挤压。

HBM 技术创新始终围绕堆叠层数提升、互连工艺优化、封装集成效率、材料可靠性四大核心要素动态演进。在核心设备进口受限、专利许可被制约、供应链安全承压的不利条件下，我国如何通过工艺创新突破层数瓶颈、加速国产化设备与材料研发、探索替代技术路径，已成为突破 HBM 技术壁垒、提升产业竞争力的关键命题。通过对 HBM 技术优化方向、国产化替代路径及国际竞争态势的分析研究，能够精准把握该领域技术发展规律，为国内企业提供技术选型、产业链布局的决策依据，助力突破三星、美光等国际企业的专利壁垒与供应限制，加速核心设备、材料及整车工艺的国产化替代进程，引导国内半导体存储与封装产业形成协同创新生态，推动我国在全球高端存储及先进计算领域占据更有利地位。

1.2 研究目的

本报告以专利文献为主要研究对象，通过综合 HBM 技术特征关键字及其同位语、国际技术分类号、主要专利权利主体及其同位语、申请人所在区域等方式，获取全球的专利数据。利用聚类分析方法进行 HBM 的发展趋势、区域、布局等多角度分析。以专利分析为明线，产业分析为暗线。明确 HBM 技术的关键专利和技术路线图，为国内科研人员和企业提供清晰的研究方向，提升企业在该领域的技术水平和创新能力的同时，助力我国在 HBM 技术在关键领域的自主创新和应用突破，进一步增强我国在先进半导体制造领域的核心竞争力。

1.3 研究思路

1.3.1 分析方法

本项目采用专利文献研究、产业研究相结合的方式进行研究。

专利文献研究通过综合 HBM 的技术特征关键字及其同位语、国际技术分类号、主要专利权利主体及其同位语、申请人所在区域等方式，通过构建检索式在

专业专利数据库中获取全球的专利数据。主要采用聚类分析方法，开展趋势、区域、布局 and 核心专利等分析。

1.3.2 分析内容

本报告分析内容具体而言，从宏观整体态势到中观关键参与者，再到微观技术分析及应用分析的脉络展开分析。

首先，通过分析全球范围内 HBM 相关技术的整体专利申请趋势、技术区域分布、专利主体类型、专利同族及引证等关键信息，揭示该技术的发展脉络与未来走向。

其次，报告聚焦核心权利人，进行具体分析，包括申请趋势、区域分布、法律状态、技术发展动态，来剖析其技术布局与创新实力，助力企业精准把握市场竞争格局。

同时，报告针对 3D 堆叠、混合键合、可靠性、接口&协议等核心技术进行专题探讨，通过解读关键专利方式，了解不同技术问题背景下各创新主体是如何进行技术攻关，以此来推动技术深化与创新，进一步为研发提供创新思路。

1.4 检索策略与检索结果

1.4.1 检索策略

本项目研究对象为：HBM 技术相关专利

（1）检索地区的选择：根据本项目的实施方法和实施路径，确定本项目的专利数据分析范围为：全球。

（2）检索方式的选择：采用 IPC、CPC 分类号，辅以主要权利人等权利人进行检索。

（3）分类号的确认：

a) 尝试性检索

利用 HBM 技术相关市场主体（爱思开海力士、三星电子、美光科技、长鑫存储等）作为关键词，在专利网站和数据平台上进行检索，观察并记录检索结果，进而形成 HBM 相关 CPC 分类号表初稿。

b) 修正检索

根据与 HBM 产业的相关性对 IPC 分类号和关键词表的初稿进行修正，并进行梳理分类，进而形成最终 IPC 分类号表及最终关键词表。

c) 最终检索

使用最终确定的分类号确认表及关键词表，结合重点专利权人进行组合检索

1.4.2 检索结果

本报告检索范围：截至 2025 年 11 月 24 日，HBM 特定技术在全球公开/公告之专利申请。

本报告检索结果：基于本项目确定的关键字词组制定检索(附件一)，检索到八千余族相关专利，经过人工筛选和去重后得到 3393 族/6942 件相关专利，其中封装技术 856 族；互连技术 620 族；混合键合技术 416 族；可靠性技术 650 族；接口&协议 1143 族。

1.5 HBM 技术介绍

HBM（高带宽存储）作为专为高端计算场景设计的 3D 堆叠存储方案，其技术体系围绕“高密度集成、高速互连、高可靠性”三大核心目标构建，涵盖封装、互连、混合键合、可靠性设计、接口协议五大关键维度，各模块协同突破传统存储的性能与集成瓶颈，支撑 AI、超算等领域的算力升级需求。

HBM 封装技术以“垂直堆叠+芯片异构集成”为核心特征，是实现高带宽、小体积的基础。其核心架构为多层 DRAM 裸片（通常 4-16 层）通过堆叠方式集成，底部通过中介层（Interposer）或直接与逻辑芯片（如 AI 芯片、CPU）互连，主流封装方案包括 CoWoS（晶圆级系统集成）、InFO（集成扇出封装）及最新的 Chiplet（芯粒）集成模式。封装过程中，先通过晶圆级预处理完成 DRAM 裸片的 TSV（硅通孔）制备与凸点形成，再经精确对准实现多层裸片堆叠键合，最后与逻辑芯片封装集成。当前技术趋势聚焦于堆叠层数提升（已从 HBM2 的 8 层拓展至 HBM3E 的 16 层）与封装体积优化，例如三星 HBM3E 产品通过 16 层堆叠实现单芯片 1.1TB/s 带宽，同时封装面积较传统 DDR 内存缩减 70%以上；

长电科技的 XDFOIChiplet 封装方案则通过 HBM 与逻辑芯片的直接集成，进一步降低互连损耗，提升系统集成效率。封装技术的核心优势在于通过三维空间利用，突破平面封装的密度限制，同时缩短数据传输路径，为高带宽提供物理基础。

HBM 互连技术以“垂直互连+高精度对接”为核心，主要包括 TSV（硅通孔）与 Microbump（微凸点）两大核心技术，是实现多层堆叠裸片间数据互通的关键。TSV 技术通过在 DRAM 裸片上刻蚀微米级通孔并填充铜等导电材料，构建垂直互连通道，替代传统的 WireBonding（引线键合），数据传输距离从毫米级缩短至微米级，显著降低延迟与信号衰减，目前主流 TSV 孔径已缩小至 $5\text{-}10\text{ }\mu\text{m}$ ，互连密度达百万点/平方厘米。Microbump 则作为层间互连的“桥梁”，通过在裸片表面制备微小金属凸点（直径 $20\text{-}50\text{ }\mu\text{m}$ ），实现层间机械固定与电气连接，其节距已从 HBM1 的 $100\text{ }\mu\text{m}$ 缩减至 HBM3 的 $40\text{ }\mu\text{m}$ 以下，进一步提升互连密度。此外，部分高端方案已引入混合互连架构，结合 TSV 的垂直传输与 RDL（重新分布层）的平面布线，实现多通道并行传输，例如美光 HBM3E 通过 8 个独立通道设计，单通道速率达 16Gbps，支撑总带宽突破 1TB/s。互连技术的核心挑战在于平衡密度、速率与可靠性，需解决信号串扰、接触电阻控制等问题。

混合键合（Hybrid Bonding）是 HBM 堆叠技术的重要升级方向，通过融合金属键合与介质键合的双重优势，实现更高密度、更低损耗的层间连接，适用于 12 层以上的高端 HBM 产品。与传统 Microbump 键合相比，混合键合无需凸点结构，直接通过晶圆级的金属（铜）-金属键合与介质（ SiO_2 ）-介质键合实现层间集成，互连节距可缩小至 $1\text{ }\mu\text{m}$ 以下，互连密度提升 10 倍以上，同时接触电阻降低 50% 以上，显著优化传输速率与功耗。其核心工艺包括晶圆表面平坦化处理、原子级清洁、高精度对准（偏差控制在 $\pm 0.1\text{ }\mu\text{m}$ 内）及高温键合固化，需依赖高端晶圆键合设备与精密工艺控制。目前，三星、SK 海力士已在 HBM3 及后续产品中规模化应用混合键合技术；国内企业如拓荆科技已实现混合键合设备批量交付，青禾晶元的 C2W 键合技术通过工艺优化降低异构集成成本，推动混

合键合在国产 HBM 中的落地。该技术的突破为 HBM 向 20 层以上堆叠演进提供了可能，是未来超高带宽存储的核心支撑。

HBM 的多层堆叠结构导致其可靠性面临热积累与应力集中两大核心挑战，相关设计直接决定产品使用寿命与运行稳定性。在热管理方面，多层裸片堆叠使热量难以散发，芯片结温易超过 85℃ 阈值，影响性能与寿命。主流解决方案包括：1) 材料层面采用高导热系数的封装基板（如氮化铝陶瓷基板）与导热界面材料（TIM），提升热量传导效率；2) 结构设计引入散热通道，部分产品在堆叠层间预留微通道或集成微型散热片，配合系统级液冷或风冷方案；3) 电路设计采用动态功耗管理技术，通过负载均衡降低局部热集中。在应力控制方面，不同材料（DRAM 裸片、中介层、封装材料）的热膨胀系数（CTE）差异（如硅的 CTE 为 2.6ppm/℃，有机基板为 15-20ppm/℃），在温度循环过程中易产生热应力，导致 TSV 开裂、键合层剥离等问题。缓解措施包括：1) 采用低 CTE 的缓冲层材料（如聚酰亚胺），吸收热膨胀差异带来的应力；2) 优化堆叠顺序与层厚设计，平衡整体应力分布；3) 控制键合工艺温度与冷却速率，减少热应力残留。此外，可靠性测试需覆盖温度循环（-40℃~125℃）、机械冲击、湿度老化等场景，确保产品在极端环境下的稳定运行。

HBM 的接口与协议由 JEDEC（固态技术协会）制定统一标准，确保不同厂商产品的兼容性，其演进历程围绕带宽提升、功耗降低与功能扩展持续迭代。目前主流版本包括 HBM2E、HBM3 及 HBM3E，关键参数持续突破：HBM2E 单芯片带宽达 460GB/s，功耗 1.2W/Gbps；HBM3 带宽提升至 819GB/s，功耗降至 0.9W/Gbps；最新的 HBM3E 带宽突破 1TB/s，单通道速率达 16Gbps，电压低至 1.0V。接口方面采用 DDR（双倍数据速率）架构，通过多通道并行传输提升总带宽，主流产品支持 8 个独立通道，每个通道包含 64 位数据总线，部分高端方案通过扩展通道数进一步提升性能。协议层面，除基础的数据读写指令外，引入了纠错码（ECC）机制，提升数据传输可靠性；支持动态电压频率调节（DVFS），根据负载需求调整运行参数，优化功耗；部分版本新增温度监控接口，实时反馈芯片结温，配合系统热管理。此外，HBM 接口需与逻辑芯片的高速

I/O 接口适配，目前已实现与 PCIe6.0、HBM-PIM（处理在内存中）等技术的协同，进一步提升“计算-存储”协同效率。标准化的接口与协议为 HBM 的规模化应用奠定基础，同时持续的版本升级支撑其与算力需求的同步增长。

1.6 产业发展状况

在全球人工智能算力需求爆发式增长的驱动下，HBM（高带宽存储）作为支撑大算力芯片运行的核心配套器件，已进入黄金发展周期，产业呈现“需求激增、技术迭代加速、全球竞争加剧、国产替代突破”的多元格局。其独特的 3D 堆叠与高速互连架构，完美匹配 AI 大模型训练、超算中心、高端服务器等场景的高带宽、低延迟需求，成为半导体产业增长的核心引擎之一。

AI 产业的持续渗透是 HBM 市场增长的核心驱动力。HBM 作为 AI 芯片的“超级数据通道”，直接决定算力输出效率，训练千亿参数级大模型时，采用 HBM 可将效率提升数倍，因此成为英伟达、AMD、华为海思等国内外芯片企业的核心采购需求。在此背景下，全球 HBM 市场规模呈现陡峭增长曲线：2024 年全球 HBM 市场规模达 170 亿美元，占半导体存储器市场的 10%；预计到 2030 年将飙升至 980 亿美元，年复合增长率高达 33%，远超半导体行业平均增速。

供需层面呈现严重失衡状态，产能缺口持续扩大。2024 年全球 HBM 产能仅 130 万片，2025 年需求已飙升至 190 万片，缺口超 30%；当前海外头部厂商 2025 年产能已被全额预订，2026 年产能也所剩无几，导致 HBM 产品“一货难求”，36GB 规格的 HBM 单价已攀升至 360 美元，仍供不应求。为填补缺口，全球存储巨头纷纷将资本开支向 HBM 倾斜，行业上行周期预计将持续至 2026 年甚至更久，核心驱动力源于 AI 需求的持续性，而非短期减产提价因素。

全球 HBM 市场呈现“韩美主导、三足鼎立”的垄断格局，头部企业掌控 95% 以上的产能与核心技术，形成极高的行业壁垒，竞争核心聚焦五大细分技术的迭代领先性。其中，SK 海力士（爱思开海力士）凭借技术先发优势实现弯道超车，2025 年第二季度以显著优势登顶全球存储销售额榜首，其核心竞争力源于 HBM3E 产品的技术突破：封装上实现 12 层芯片堆叠，互连环节采用高精度铜

柱凸点技术，混合键合工艺已完成可靠性认证并计划应用于 HBM4E，同时通过优化热管理设计降低功耗，搭配 JEDEC 最新接口协议实现单芯片带宽突破 1.2TB/s，作为英伟达 HBM3E 的主要独家供应商，其 2025 年相关产能已全部售罄；三星电子此前以 52% 的市场份额占据主导，掌握 HBM3E 的 12 层堆叠封装技术，但因交付延迟错失市场机遇，份额下滑至 17%，目前正重启 Z-NAND 技术探索替代方案，并计划在 HBM4 中全面采用混合键合技术优化热管理与内存接口；美光科技市场份额约 12%，聚焦中高端领域，2022 年从 Xperi 获得 Cu - Cu 混合键合授权，其 HBM3E 芯片通过铜硅混合键合封装与优化的 TSV 互连技术提升性能，与英特尔形成战略协同布局高端计算场景。

技术壁垒集中体现在五大细分技术的全链条掌控与专利布局两大层面。封装环节的 3D 堆叠层数、互连技术的 TSV（硅通孔）精度与凸点工艺、混合键合的良率控制、可靠性设计的热管理与应力平衡、接口协议的版本迭代，共同构成 HBM 的核心技术门槛。其中 TSV 工艺占总成本的 30%，其深孔刻蚀、铜填充等核心工序对设备精度要求极高；海外头部企业在微凸点键合技术上良率已超 95%，混合键合工艺逐步向量产推进。专利布局方面，美光、三星、SK 海力士在 TSV 互连、混合键合、封装堆叠等关键技术领域积累大量核心专利，形成技术封锁，例如三星曾与长江存储签署堆叠 NAND 所需的混合键合技术专利许可协议。此外，美国依托半导体出口管制政策，对我国实施高端 HBM 产品、核心制造设备及关键材料的出口限制，尤其在混合键合设备、高精度互连工艺设备等领域的管控，加剧了全球产业竞争的不平等性。

面对海外垄断与技术封锁，国内 HBM 产业链从上游材料设备、中游制造封装到下游应用，实现多点突破，逐步完成从“完全依赖进口”到“部分国产替代”的关键跨越。

上游材料与设备领域，国内重点企业围绕五大细分技术关键环节打破进口依赖。材料端，长江存储 2025 年 4 月正式发布 HBM3 存储芯片，封装采用 10 层堆叠架构，互连环节优化 TSV 工艺与凸点设计，带宽达 800GB/s，月产能达 6 万片，已通过华为海思、寒武纪测试并小批量供货；长鑫存储在 HBM 领域持续

攻坚，聚焦封装堆叠与互连技术突破，其相关研发进展为国产 HBM 多元化供给提供支撑；深南电路、兴森科技研发出符合 HBM3 标准的封装基板，线路精度达 2 微米，价格较进口低 20%，批量供应国内封装企业；康强电子的镀金键合丝打破美国贺利氏垄断，为互连环节提供核心材料支撑，国内市场占有率达 30%。设备端，国产设备商全面进军核心环节：拓荆科技作为国内唯一实现混合键合设备量产的厂商，其晶圆对晶圆键合产品为国产 HBM 混合键合技术落地提供保障；盛美上海的 TSV 铜填充设备、北方华创的深硅刻蚀设备支撑互连环节技术突破；华卓精科的混合键合与激光剥离设备、中科飞测的晶圆平坦度测量设备分别对应混合键合与封装环节的精度控制需求，均通过头部客户验证并实现供货。

中游制造封装领域，长电科技等重点企业实现技术与产能同步落地，核心聚焦封装、互连及可靠性技术优化。长电科技 2025 年 5 月宣布掌握 HBM3 的 10 层堆叠封装技术，通过优化互连凸点工艺提升良率至 85%，同时在可靠性设计上引入热管理优化方案，江阴生产线月产能达 4 万片，接到寒武纪、壁仞科技超 10 万片订单；通富微电同步突破 HBM3 封装技术，主攻 8 层堆叠方案，良率达 82%，重点服务华为海思，2025 年三季度月产能将提升至 3 万片。下游应用端，国内 AI 企业率先采用国产 HBM 方案，华为海思新一代昇腾 910B 芯片、寒武纪思元 590 芯片等均搭载长江存储等国产厂商的 HBM3 内存，其接口协议兼容 JEDEC 标准，同时通过系统级热管理协同提升整体可靠性，已应用于政务、金融及互联网大模型训练场景。

尽管国内 HBM 产业取得显著突破，但与海外头部企业在五大细分技术上仍存在阶段性差距。技术层面，海外头部企业已量产 HBM3E，SK 海力士、三星实现 12 层堆叠封装，通过铜硅混合键合提升互连效率，带宽达 1.2TB/s，同时凭借成熟的热管理与应力控制技术使功耗降低 10%；国内刚实现 HBM3 量产，长电科技、长江存储等企业最高为 10 层堆叠封装，互连环节目前以金线键合为主，精度 2 微米，良率 85%左右，混合键合技术仍处于量产初期，热管理优化效果待提升，导致国产 HBM 带宽仅 800GB/s，功耗高出海外产品 7%左右。核心差距集中在混合键合良率控制、互连凸点精度及可靠性设计的精细化程度，海外采

用铜柱键合精度达 1 微米，良率超 95%，而国内相关技术仍需突破，这直接导致国产 HBM 成本比进口高 10%-15%。

设备国产化率不足仍是主要短板，当前中国 HBM 产业链关键设备端国产化率不足 5%，尤其是混合键合所需的高精度对准设备、互连环节的深硅刻蚀设备等高端设备仍部分依赖进口，制约了国产 HBM 产能扩张与良率提升。此外，国内企业在封装堆叠、混合键合等核心技术领域的专利布局滞后，高端材料性能优化不足也影响可靠性表现，这些问题均需长期攻坚。不过国内企业已在积极突破，长鑫存储持续优化封装与互连技术，长电科技推进铜柱键合研发，预计 2026 年可实现量产，届时良率有望突破 90%，技术与成本差距将进一步缩小；拓荆科技等设备厂商也在加速混合键合设备性能迭代，助力国产 HBM 全产业链技术升级。

1.7 国内政策环境

从 2021 年开始，国家到地方都出台了相应的政策支撑 HBM 技术的发展。其中国家层面的政策有《“十四五”国家信息化规划》、《“十四五”集成电路产业发展规划》、《“十四五”国家战略性新兴产业发展规划》、《高端存储器发展纲要》、《核心电子元器件突破工程(2025-2030)》、国家大基金三期、《关于推动先进制造业和现代服务业深度融合发展的实施意见》、《制造业高质量发展专项资金管理办法》、《国务院关于印发新时期促进集成电路产业和软件产业高质量发展若干政策的通知》(国发〔2020〕8 号)、《关于提高集成电路和工业母机企业研发费用加计扣除比例的公告》；地方政策有：上海市政府出台的《上海市集成电路产业和软件产业高质量发展若干政策》、《上海市推动制造业高质量发展三年行动计划(2023-2025 年)》、临港新片区管委会出台的《中国(上海)自由贸易试验区临港新片区集聚发展集成电路产业若干措施》；江苏省政府出台的《关于进一步促进集成电路产业高质量发展若干政策》、南京江北新区管委会出台的《南京市江北新区集成电路产业发展规划(2023-2025)》；无锡市政府出台的《无锡集成电路产业集群高质量发展行动计划》；杭州高新区(滨江)管委会出台的《杭

州市滨江区关于进一步推动集成电路和算力产业高质量发展若干政策》等。表 1-1 为国内 HBM 技术相关支持政策。

表 1-1 国内 HBM 技术相关支持政策

文件名称	发布单位	发布时间	主要内容
《"十四五"国家信息化规划》	国务院	2021 年	推动计算芯片、存储芯片等创新，加快集成电路设计工具、重点装备和高纯靶材等关键材料研发
《"十四五"集成电路产业发展规划》	工信部等	2021 年	将 HBM 列为重点攻关方向，明确提出要"突破高性能存储器关键技术瓶颈"，加快高性能计算存储技术研发和应用推广
《"十四五"国家战略性新兴产业发展规划》	国务院	2021 年	到 2025 年，国内高性能计算核心芯片自主率提升至 40%，HBM 存储芯片成为关键组成部分
《高端存储器发展纲要》	工信部	2024 年	将 HBM 列为优先级扶持项目，明确支持 HBM 全产业链发展
《核心电子元器件突破工程(2025-2030)》	工信部	2025 年 6 月	将 HBM 列为"重中之重"，出台三大支持政策：研发补贴：对核心技术研发企业最高 1.2 亿元补贴，产能扶持：对 HBM 产线建设最高 50%设备投资补贴，应用推广：要求国产 AI 服务器 HBM 采购比例≥30%
国家大基金三期	财政部等	2024 年 5 月	注册资本 3440 亿元，重点投资"卡脖子"技术，HBM 被列为重点投资领域，投资周期延长至 15 年（匹配 HBM 技术爬坡周期），已向拓荆键科（HBM 键合设备企业）增资 4.5 亿元，计划投入约 1600 亿元支持 HBM 产业链，其中约 300 亿元专门用于晶圆对晶圆混合键合机研发
《关于推动先进制造业和现代服务业深度融合发展的实施意见》	发改委等	2021 年	对 HBM 等先进存储技术研发项目提供不超过项目投资 30%的资金支持
《制造业高质量发展专项资金管理办法》	财政部、工信部	2021 年	对 HBM 等战略产业核心技术攻关项目给予重点支持，单个项目最高 5000 万元
《国务院关于印发新时期促进集成电路产业和软件产业高质量发展的若干政策的通知》(国发〔2020〕8 号)	国务院	2020 年 8 月	国家鼓励的集成电路设计企业：自获利年度起,1-5 年免征企业所得税,6-10 年按 10% 税率征收，集成电路生产企业或项目：线宽<65nm 且经营期≥15 年，1-5 年免征，6-10 年按 12.5%征收

《关于提高集成电路和工业母机企业研发费用加计扣除比例的公告》	财政部等	2023 年 9 月	集成电路企业研发费用加计扣除比例提高至 120%（普通企业仅 100%），HBM 企业可享受
《上海市集成电路产业和软件产业高质量发展若干政策》	上海市政府	2021 年 12 月	设立总规模 450 亿元集成电路母基金，重点支持存储芯片，对 HBM 等先进封装技术研发项目给予最高 1000 万元支持，对 HBM 产业链企业设备购置按不超过 20% 补贴，最高 2000 万元
《上海市推动制造业高质量发展三年行动计划(2023-2025 年)》	上海市政府	2023 年 5 月	将集成电路列为重点发展领域，聚焦 HBM 等"卡脖子"环节，对 HBM 材料、设备企业落户给予最高 5000 万元奖励
《中国(上海)自由贸易试验区临港新片区集聚发展集成电路产业若干措施》	临港新片区管委会	2024 年 2 月	对 HBM 等先进封装项目给予最高 5000 万元支持，研发费用加计扣除比例提高至 175%，对 EDA 工具购买按不超过 50% 补贴，最高 500 万元
《关于进一步促进集成电路产业高质量发展若干政策》	江苏省政府	2023 年 1 月	每年安排不低于 5 亿元专项资金，重点支持 HBM 等高端存储，对 HBM 关键材料、设备研发投入 5000 万元以上的，按不超过 15% 补助，最高 5000 万元，对 HBM 产业链企业设备购置按不超过 20% 补贴，最高 2000 万元
《南京市江北新区集成电路产业发展规划(2023-2025)》	南京江北新区管委会	2023 年 3 月	对 HBM 产业链企业提供"设备补贴+研发补贴+流片补贴"组合支持，单个企业年度最高 5000 万元，特别支持 HBM 与 AI 芯片协同发展
《无锡集成电路产业集群高质量发展行动计划》	无锡市政府	2023 年 6 月	重点支持 2.5D/3D 封装(HBM 核心技术)，对产线建设补贴不超过设备投资 30%，最高 1 亿元，对 HBM 测试企业按测试费 35% 补助，年最高 50 万元
《杭州市滨江区关于进一步推动集成电路和算力产业高质量发展若干政策》	杭州高新区(滨江)管委会	2024 年 5 月	明确支持 HBM 等高端存储技术，对 HBM 研发项目按不超过研发投入 20% 补助，最高 1000 万元，对 HBM 设备购置按不超过 20% 补贴，最高 2000 万元，对 HBM 企业流片费用补贴 50%，年最高 100 万元
《杭州市萧山区促进集成电路产业高质量发展的若干政策》	萧山区政府	2025 年 5 月	对集成电路关键材料、核心设备(含 HBM)自主研发投入 5000 万元以上并实现销售的，按不超过 15% 补助，最高 5000 万元，对 HBM 产业链企业贷款贴息 50%，单个企业年最高 1000 万元
《平湖市加快发展新质生产力推动工	平湖市政府	2025 年 1 月	对 HBM 等先进存储技术企业按设备投资 15% 给予补助，最高 2000 万元，对 HBM

业经济高质量发展若干政策意见》			研发投入按 15%补助，最高 1000 万元
《深圳市关于促进半导体与集成电路产业高质量发展的若干措施》	深圳市政府	2025 年 7 月	明确提升 HBM 等先进封装技术，对先进封测(含 HBM)企业最高 2000 万元补贴，对 HBM 产业链企业研发投入按 20%补助，最高 1000 万元，对 HBM 材料、设备首次流片验证补贴 50%，最高 500 万元
《广州开发区黄埔区支持集成电路产业高质量发展若干政策措施》	广州开发区管委会	2025 年 6 月	对 HBM 等先进封装技术研发最高 1000 万元支持，对 HBM 设备购置按不超过 20% 补贴，最高 2000 万元，对 HBM 材料企业落户给予最高 5000 万元奖励，对采购国产 EDA 工具按 30%补贴，最高 100 万元
《珠海经济特区促进集成电路产业发展若干规定》	珠海市政府	2024 年 12 月	对 EDA 工具研发企业(服务 HBM 设计)按实际投入 50%补贴,最高 1500 万元,对 HBM 设计企业流片费用补贴 60%，年最高 200 万元

第二章 HBM 技术专利宏观分析

本章基于人工筛选所得的 6942 件与项目技术密切相关的 HBM 技术相关的专利进行统计分析，以宏观观察 HBM 技术，获取总体布局信息，重点研究了专利申请趋势、技术区域部署分析、专利权人排名和研发能力比较、主要专利权人分析、专利的发明人分析、专利的同族数分析及同族被引证数分析。

2.1 整体专利分析

2.1.1 专利申请趋势

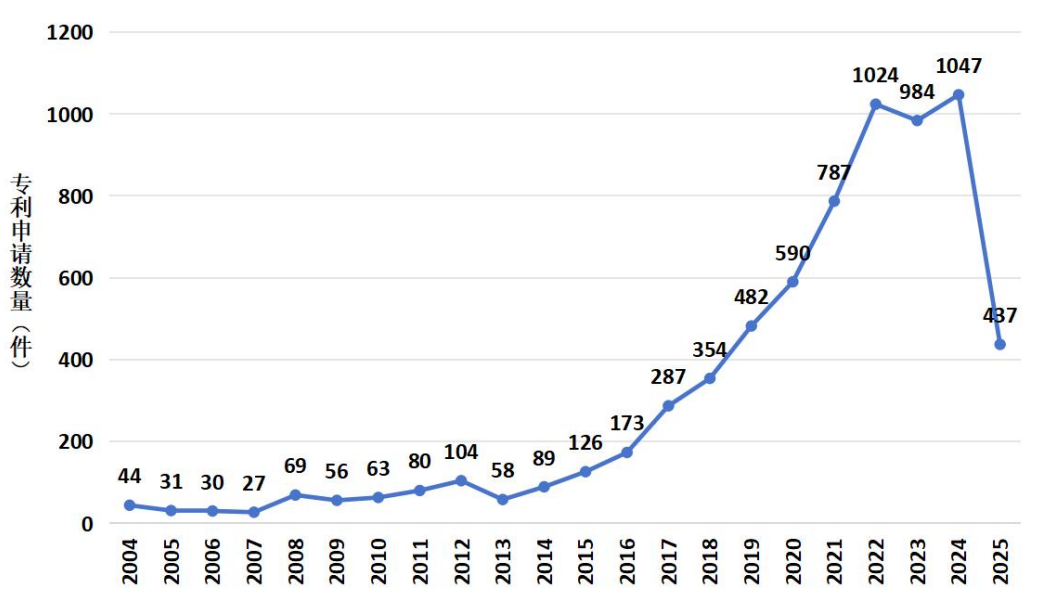


图 2-1 专利申请趋势

图 2-1 为 HBM 技术相关专利的申请趋势。由图可见，该技术的发展主要呈现以下几个阶段。

1. 起步探索期（2004-2013 年）

该阶段全球存储市场仍以 DDR3/DDR4 为主流，高带宽存储需求仅局限于高端服务器、超级计算机等小众场景。专利申请量偏低，年均 56 件。2004-2007 年维持在 27-44 件的较低水平，HBM 技术尚处于概念验证、基础研发阶段，产业关注度与应用需求不足，且该阶段的相关专利的权利人分布较为分散。2008-2012 年虽有阶段性提升（如 2012 年达 104 件），但 2013 年回落至 58 件，该阶段美国权利人开始呈现一定的技术主导优势，如美光科技、超威半导

体（AMD）、英特尔以及国际商业机器公司等。从相关专利来看，较早的一件涉及 HBM 技术雏形的专利来自日本东芝公司——US7466029B2 公开了一种芯片上芯片（COC）器件，通过使用凸块堆叠逻辑芯片和存储芯片实现可定制的存储器容量和字组织来增强芯片性能并提高产量和集成度。

2.快速爆发期（2014 年至今）

该阶段申请量持续高速增长，年均申请量高达 540 件。2014-2022 年呈现连续 8 年的爆发式增长，专利量从 2014 年的 89 件飙升至 2022 年的 1024 件，年均增长率达到 36.3%。从市场信息来看，2014 年 HBM1 实现商用（JEDEC 标准落地），2016 年 HBM2、2019 年 HBM2E、2022 年 HBM3 相继发布，相关专利随之快速布局。2022-2024 年专利年均保持在 1018 件的高位，或与 HBM3E 量产+AI 需求驱动，三星、英伟达、美光科技、AMD、爱思开海力士等权利人围绕“Chiplet-HBM 协同、HBM4 预研”布局有关。2025 年，因为专利公开的“滞后性”，专利申请量回落至 437 件，并不意味着实际意义的专利申请量减少。

2.1.2 专利区域和法律状态分布

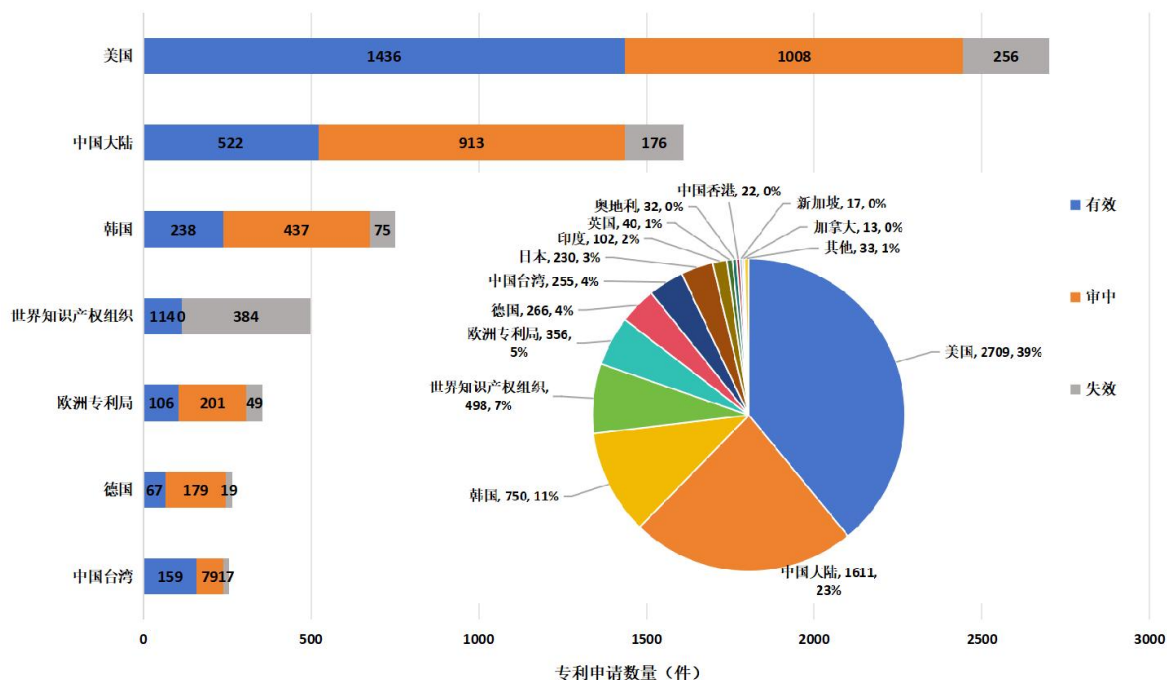


图 2-2 专利主要区域分布及法律状态

图 2-2 为 HBM 技术相关专利的主要区域分布及法律状态分布情况。从地区分布来看，美国、中国大陆以及韩国为 HBM 相关专利的主要布局地区。其中，美国专利最多，占比近四成，2709 件；其次为中国大陆，占比 23%，1611 件；韩国专利占比 11%，750 件。从主要地区的相关专利法律状态来看，美国的有效及在审专利数量均位居第一，其中有效专利 1436 件，审中专利 1008 件；比较而言，中国大陆的有效专利不足美国的半数，522 件，但是审中专利数量与其相差不多，913 件。韩国的有效专利 238 件，审中专利 437 件。综合来看，这三个主要地区 HBM 技术的有效及审中专利累计占比皆为九成，表明 HBM 技术的研发活跃度较高。

2.2 主要权利人和发明团队分析

2.2.1 主要权利人分布情况

表 2-1 为 HBM 技术相关专利申请量 50 件以上权利人概况。

从专利申请量来，三星电子的相关专利数量最多，1449 件，是第二名英伟达的 1.8 倍；专利申请量 500 件以上的仅有三家，分别是三星电子、英伟达以及美光科技，其中英伟达 776 件，美光科技 698 件，值得注意的是，英伟达虽然相关专利数量位列第二，但是其有效专利相对较少，139 件，占比 18%，审中专利占比高达七成，或与 AI 市场需求爆发倒逼其技术相关专利布局“高频化”和“即时化”有关。

从权利人来源来看，十八家权利人中以美国权利人最多，十二家，均为全球半导体领域的龙头企业，如英伟达、美光科技、AMD、英特尔、谷歌公司等。中国大陆和韩国各两家，其中，中国大陆的两家权利人分别为长江存储和长鑫存储，相关专利分别为 114 件和 81 件；韩国两家权利人分别为三星电子和爱思开海力士。

从相关专利的布局时间来看，大部分的海外权利人技术起步时间较早，处于 2010 年之前，如三星电子、AMD、美光科技、英特尔、高通公司、美光科技等。

中国大陆的两家权利人的技术起步时间相对较晚，长江存储和长鑫存储分别于 2017 和 2018 年布局相关专利。

表 2-1 主要权利人概况

序号	申请(专利权)人	国家/地区	专利数量	有效专利数量	专利区域分布	申请年份
1	三星电子	韩国	1449	520	美国、韩国、中国大陆、欧洲、中国台湾、日本、德国	2004-2025
2	英伟达	美国	776	139	美国、中国大陆、德国、世界知识产权组织、英国、日本	2008-2025
3	美光科技	美国	698	305	美国、中国大陆、世界知识产权组织、韩国、欧洲、中国台湾、日本	2005-2025
4	超威半导体 (AMD)	美国	448	193	美国、世界知识产权组织、中国大陆、欧洲、韩国、印度、日本	2004-2025
5	英特尔	美国	315	137	美国、欧洲、中国大陆、世界知识产权组织、德国、中国台湾、日本、韩国	2004-2025
6	谷歌公司	美国	193	104	美国、欧洲、中国大陆、中国香港、世界知识产权组织、日本、德国、中国台湾	2006-2025
7	台积电	中国台湾	148	81	美国、中国大陆、中国台湾、德国、韩国	2009-2025
8	爱思开海力士	韩国	132	70	韩国、美国、中国大陆、中国台湾	2011-2025
9	长江存储	中国大陆	114	43	美国、中国大陆、韩国、欧洲、世界知识产权组织、德国、日本	2017-2025
10	苹果公司	美国	96	49	美国、韩国、世界知识产权组织、印度、中国大陆、日本、欧洲	2010-2025
11	长鑫存储	中国大陆	81	12	中国大陆、美国、世界知识产权组织	2018-2023
12	拉姆伯斯公司 (Rambus, Inc.)	美国	80	46	美国、世界知识产权组织、中国大陆	2004-2025
13	高通公司	美国	75	11	美国、世界知识产权组织、中国大陆、欧洲	2004-2025
14	国际商业机器	美国	74	35	美国、世界知识产权组织、中国大陆、德国、英国、日本	2005-2023

15	艾德亚半导体 (Adeia, Inc.)	美国	65	36	美国、直接知识产权局、欧洲、中国台湾	2016-2025
16	莫诺利特斯 3D 公司 (Monolithic 3D, Inc.)	美国	55	46	美国	2010-2025
17	阿尔特拉公司 (Altera Corp.)	美国	55	34	美国、中国大陆、欧洲、德国	2010-2025
18	株式会社半导体能源研究所	日本	53	17	美国、日本、韩国、中国大陆	2010-2025

2.2.2 主要发明人团队

表 2-2 展示了 HBM 技术相关专利持有量超过 40 件的发明人概况。从表中可见，专利持有量排名前三位的分别来自三星电子、英伟达以及台积电，其中三星电子的郑宏忠 69 件，英伟达的 A·埃达里 61 件。并且，从该 13 位发明人的所属公司来看，有 4 位发明人均来自英伟达，可见英伟达研发实力之强劲。莫诺利特斯 3D 公司的发明人 3 位，该公司于 2009 年成立，属于半导体 IP 公司，主要核心业务是研发单片 3D IC 相关技术及衍生方案，并通过技术授权与行业伙伴合作推进产业化，而非直接生产硬件产品，有关技术覆盖存储器、电光设备等关键半导体场景。凯普勒运算公司的发明人 2 位，该公司是一家成立于 2018 年的私营半导体与半导体设备企业，聚焦下一代存储器与计算芯片的创新研发，以超低电压架构和铁电材料技术为核心，提供高能效、高密度的计算解决方案，业务覆盖半导体硬件研发与技术落地。因为技术起步较晚，目前该主要发明人名单内还未出现中国大陆企业的有关发明人。

表 2-2 主要发明人

序号	发明人	专利数量	所属公司	来源地区
1	郑宏忠	69	三星电子	韩国

2	A·埃达里	61	英伟达	美国
3	余振华	58	台积电	中国台湾
4	KUNDU, LOPAMUDRA	56	英伟达	美国
5	OR-BACH, ZVI	55	莫诺利特斯 3D 公司(Monolithic 3D, Inc.)	美国
6	CRONQUIST, BRIAN	54	莫诺利特斯 3D 公司(Monolithic 3D, Inc.)	美国
7	EDWARDS, HAROLD CARTER	54	英伟达	美国
8	PAREKH, KUNAL R.	50	美光科技	美国
9	HABA, BELGACEM	46	Adeia, Inc.	美国
10	PERELYGIN, KYRYLO	45	英伟达	美国
11	SEKAR, DEEPAK C.	43	莫诺利特斯 3D 公司(Monolithic 3D, Inc.)	美国
12	MANIPATRUNI, SASIKANTH	42	凯普勒运算公司 (Kepler Computing, Inc.)	美国
13	MATHURIYA, AMRITA	42	凯普勒运算公司 (Kepler Computing, Inc.)	美国

2.3 细分技术分析

2.3.1 细分技术分布

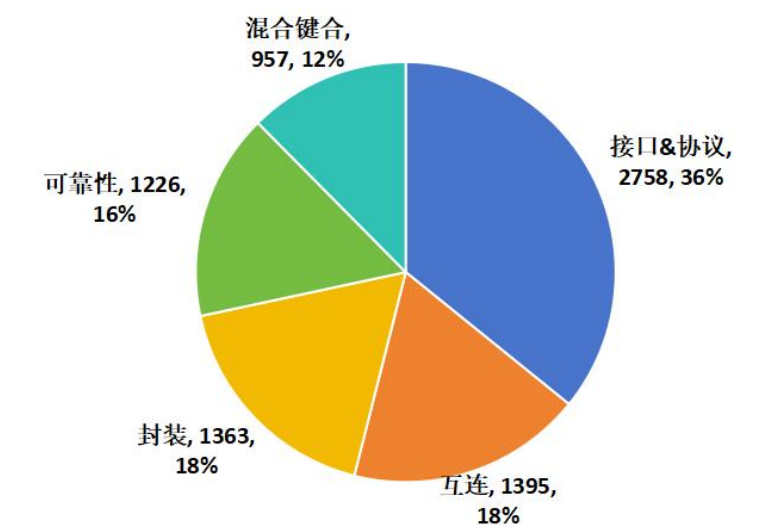


图 2-3 细分技术分布

图 2-3 为从关键要素检索得到的 HBM 技术的细分技术分布情况。从图中可见，HBM 细分技术分支接口&协议相关专利数量占据绝对的主导地位，相关专利

2758 件，占比 36%，该技术的本质是定义 HBM 与处理器、控制器之间的通信规则、指令交互逻辑、数据传输规范（如 JEDEC 的 HBM 标准），是 HBM 适配不同芯片、设备的基础——企业需大量布局该领域专利，保障 HBM 的兼容性、传输效率与标准化，因此成为技术布局的“核心赛道”。互连及封装相关专利数量相当，相关专利 1395 件、1363 件，均占比 18%。可靠性（主要为热管理、应力控制）相关专利 1226 件，占比 16%。混合键合相关专利相对较少，957 件，占比 12%。

2.3.2 细分技术国内外对比分析

表 2-3 为细分技术的国内外对比分析情况。

从各细分技术的起步时间来看，国际起步时间相对较早，均处于 2010 年之前。中国大陆各细分技术起步时间相对较晚，封装及可靠性技术相关专利的布局时间处于 2010 年及之后。

从各细分技术的中国大陆的布局占比来看，中国大陆的各细分技术相关专利的占比均处于 20%~30%之间，其中，封装及可靠性相关专利的占比相对较高，分别占比 26%和 28%。

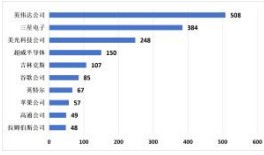
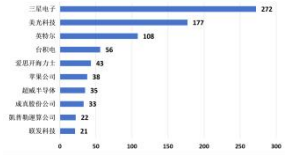
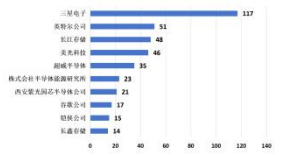
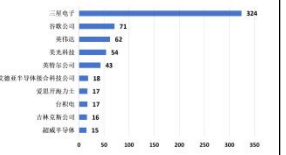
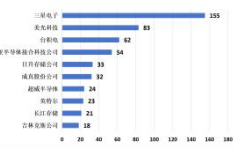
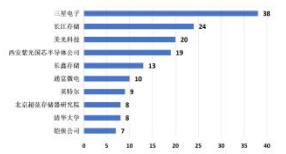
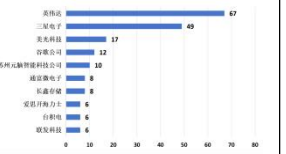
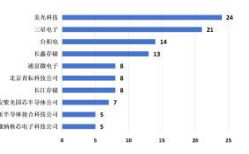
从有效专利来看，各细分技术中，中国大陆的审中专利均多于有效专利。其中接口&协议和混合键合领域审中专利和有效专利数量差别较为显著。而国际各细分领域的审中和有效专利数量差别较小。

从各细分领域的权利人排名来看，国际范围内：（1）接口&协议领域：英伟达、三星电子以及美光科技占据前三席，中国大陆权利人尚未跻身前十榜单。（2）互连技术领域：三星电子、美光科技、英特尔依次位列前三；中国台湾三家权利人跻身前十，分别是台积电、成真股份公司（总部位于台湾新竹县竹北市的半导体技术公司，专注于逻辑驱动(Logic Drive)和现场可编程多芯片封装(FPMCP)技术开发与推广）以及联发科技。（3）封装技术领域：三星电子、英特尔以及长江存储位居前三；中国大陆三家权利人跻身前十，分别是长江存储、西安紫光国芯以及长鑫存储。（4）可靠性技术领域：三星电子专利最多，324 件，其次为谷歌和英伟达。（5）混合键合技术领域：三星电子、美光科技以及台积电位

居前三。中国大陆仅有长江存储一家跻身前十。中国大陆范围内：（1）接口&协议领域：头部权利人以海外权利人为主，中国大陆本土权利人包括西安紫光国芯、国防科技大学。（2）互连技术领域：中国大陆本土权利人包括长鑫存储、西安紫光国芯、华进半导体封装先导技术研发中心。（3）封装技术领域：中国大陆本土权利人包括长江存储、西安紫光国芯、长鑫存储、通富微电、北京超弦存储器研究院以及清华大学。（4）可靠性技术领域：中国大陆本土权利人包括苏州元脑智能科技、通富微电以及长鑫存储。（5）混合键合技术领域：中国大陆本土权利人包括长鑫存储、通富微电、北京青耘科技、长江存储、西安紫光国芯、杭州微纳核芯电子科技。

综合来看，中国大陆权利人长江存储和长鑫存储在封装/互连领域的综合实力较强，各细分领域头部权利人依然是三星电子、美光科技和英伟达。不过值得注意的是，各细分领域也有中国大陆的其他权利人参与。

表 2-3 细分技术国内外对比分析

细分技术		接口&协议	互连	封装	可靠性	混合键合
起始时间 (年)	国际	2004	2004	2006	2004	2008
	中国大陆	2008	2006	2010	2014	2009
区域布局 占比	国际	73%	77%	74%	72%	77%
	中国大陆	23%	23%	26%	28%	23%
法律状态	国际	有效：855 在审：802	有效：570 在审：344	有效：266 在审：349	有效：355 在审：389	有效：275 在审：359
	中国大陆	有效：184 审中：351	有效：102 审中：138	有效：126 审中：191	有效：142 审中：171	有效：66 审中：146
主要权利人 (按照受理局归类)	国际					
	中国大陆					

2.4 专利运营分析

2.4.1 专利运营分布

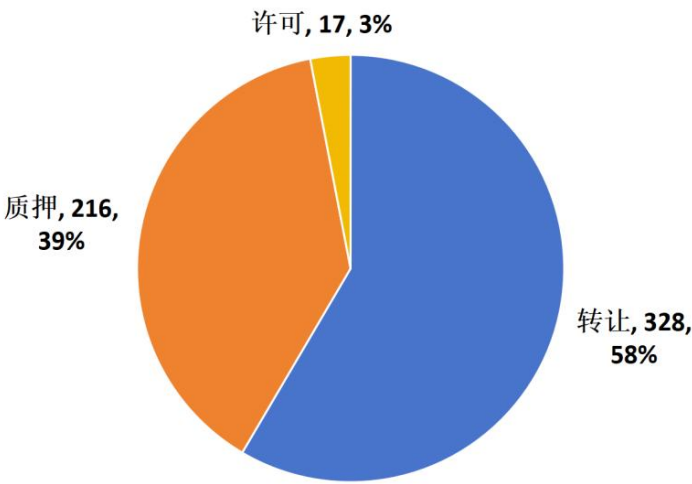


图 2-4 专利运营情况

图 2-4 为 HBM 相关专利的运营情况。由图可见，专利运营以转让和质押为主。其中涉及转让的专利最多，328 件，占比 58%；其次为质押，216 件，占比近四成，涉及许可的专利相对较少，17 件，仅占比 3%。

2.4.2 专利运营概况

表 2-4 为涉及专利运营专利的概况。

从区域分布来看，涉及权利转移的专利 66% 分布在美国，中国大陆的占比不足两成，欧洲、德国等地区的占比不足一成。涉及质押的专利绝大部分分布在美国，中国大陆和日本的分布极少，中国大陆和日本的占比累计仅 2%。涉及许可的专利 53% 分布在中国大陆，美国占比 35%，德国占比 12%。对比来看，中国大陆在专利许可方面较为突出，而在权利转移和质押方面与美国相差较大。

从涉及的细分技术来看，涉及权利转移的专利主要集中在接口&协议、封装、互连三个细分技术领域；涉及质押的专利主要集中在接口&协议、封装、互连三个细分技术领域；涉及许可的专利主要集中在封装、互连、可靠性三个细分领域。

从专利运营涉及的权利人来看，权利转移主要发生在：英特尔和阿尔特拉公司（Altera Corp.）、太浩研究公司（Tahoe Research Ltd.）之间；博通公司

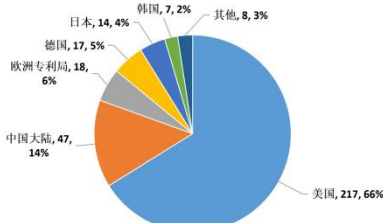
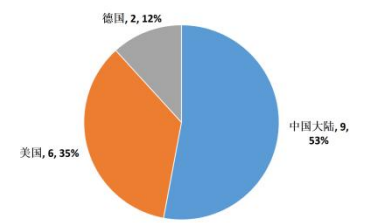
和安华高科技股份有限公司以及安華高科技通用 IP(新加坡)公司之间。其中，英特尔与阿尔特拉公司（Altera Corp.）的关系历经早期合作(1984-1994 年)、收购整合(2015-2024 年)、分拆独立(2024-2025 年)三个核心阶段，当前为战略伙伴关系（英特尔持股 49%，银湖资本（Silver Lake）持股 51%），Altera 成为全球最大纯 FPGA 解决方案提供商。Tahoe Research Ltd.（Tahoe Research Limited）与英特尔的核心关系是专利资产转让与授权管理合作，由 2022 年 8 月的知识产权交易确立，Tahoe Research Ltd. 是 IPValue Management Group 旗下的专利管理实体，负责英特尔非核心专利组合的商业化运营。安华高科技股份有限公司(AVAGO TECHNOLOGIES INTERNATIONAL SALES PTE LTD)和安華高科技通用 IP(新加坡)公司(Avago Technologies Wireless IP (Singapore) Pte Ltd.)均为博通公司的子公司。

质押主要发生在美光科技和美国摩根大通银行以及美国合众银行之间；ROVI SOLUTIONS CORPORATION 和美国合众银行之间；ADEIA GUIDES INC.和美国合众银行之间；安華高科技通用 IP(新加坡)公司、安华高科技股份有限公司和美国合众银行之间。其中，ROVI SOLUTIONS CORPORATION 是一家已并入母公司并完成品牌整合的特拉华州公司，曾是 ROVI CORPORATION（后更名为 TiVo Corporation，再后来成为 Xperi 的一部分）的全资子公司，专注于数字娱乐技术与知识产权许可业务。和 ADEIA GUIDES INC.均属于 ADEIA INC.的子公司。

许可主要发生在中国科学院宁波材料技术与工程研究所和宁波云德半导体材料有限公司之间；国际商业机器公司 and 美国能源部之间；深圳大学和惠州美尔顿电子科技有限公司以及广东省一些企业之间；上海红神信息技术有限公司和上海红阵信息科技有限公司；深圳市中兴微电子技术有限公司和西安克瑞斯半导体技术有限公司之间。其中，中国科学院宁波材料技术与工程研究所（简称宁波材料所）与宁波云德半导体材料有限公司（简称云德半导体）之间无直接股权控制关系，属于独立法人主体。IBM 与美国能源部建立了长期、多层次、高投入的战略合作伙伴关系，覆盖超级计算、量子信息科学、能源效率、国家实验室协作等关

键领域。上海红神信息技术有限公司与上海红阵信息科技有限公司之间无直接股权控制关系，属于业务领域相近、存在人员与技术关联的两家独立企业。西安克瑞斯是中兴微电子的全资附属公司，主营业务包括集成电路的设计、研发与销售。

表 2-4 专利运营概况

专利运营	权利转移			质押			许可		
区域分布									
主要细分技术	接口&协议、封装、互连			接口&协议、封装、互连			封装、互连、可靠性		
涉及主要权利人	原始权利人	当前权利人	专利数量	质押人	受让人	专利数量	许可人	被许可人	专利数量
	英特尔	阿尔特拉公司 (Altera Corp.)	48 件	美光科技	美国摩根大通银行	71 件	中国科学院宁波材料技术与工程研究所	宁波云德半导体材料有限公司	5 件
		太浩研究公司 (Tahoe Research Ltd.)	14 件		美国合众银行	71 件	国际商业机器公司	美国能源部	2 件
	博通公司	安华高科技股份有限公司	23 件	ROVI SOLUTIONS CORPORATION	美国合众银行	18 件	深圳大学	惠州美尔顿电子科技有限公司	1 件
		安华高科技通用 IP(新加坡)公司	20 件	ADEIA GUIDES INC.	美国合众银行	18 件	上海红神信息技术有限公司	上海红阵信息科技有限公司	1 件
	/	/	/	安华高科技通用 IP(新加坡)公司	美国合众银行	19 件	深圳市中兴微电子技术有限公司	西安克瑞斯半导体技术有限公司	1 件

2.5 本章小结

HBM 技术专利发展呈现清晰的阶段性特征，以 2014 年为界分为前期探索与快速爆发两大阶段，全球竞争格局呈现“韩美主导、中国追赶”的态势，技术迭代与市场需求深度绑定。

从发展趋势来看，起步探索期（2004-2013 年）全球存储市场以 DDR3/DDR4 为主流，HBM 技术处于概念验证与基础研发阶段，专利年均申请量仅 56 件，权利人分布分散，美国企业（美光科技、超威半导体等）初步呈现技术主导优势，核心围绕 3D 堆叠、TSV 通孔等底层技术布局；快速爆发期（2014 年至今）受 HBM 商用落地与 AI 算力需求驱动，专利申请量持续高速增长，年均达 540 件，2022-2024 年维持千件以上高位运行，HBM1 至 HBM3E 的版本升级推动专利向混合键合、低功耗控制等高端技术集中，三星、英伟达、爱思开海力士等企业成为技术迭代核心力量。

从区域分布来看，美国、中国大陆、韩国构成全球 HBM 专利核心布局地区，合计占比七成。其中美国专利最多，2709 件，占比近四成，其中，有效专利 1436 件、审中专利 1008 件，技术成熟度与布局广度领先；中国大陆专利 1611 件，占比 23%，其中，有效专利 522 件，审中专利 913 件与美国差距较小，技术发展活力强劲；韩国专利 750 件，占比 11%，其中有效专利 238 件，审中专利 437 件。三国有效及审中专利累计占比均达九成。

区域分布	美国	中国大陆	韩国
专利数量（件）	2709	1611	750
专利占比（%）	39%	23%	11%
有效专利（件）	1436	522	238
审中专利（件）	1008	913	437

从权利人竞争格局来看，头部聚集效应显著，全球呈现“韩美领跑、国内追赶”格局。三星电子以 1449 件专利位居榜首，英伟达以 776 件位居第二、美光科技 698 件紧随其后，三家企业合计占据全球超半数核心专利，技术起步多在 2010 年前，积累深厚；十八家主要权利人中美国占十二家，均为全球半导体龙头企业。国内权利人两家，长江存储以 114 件相关专利位居第九、长鑫存储以

81 件位居第十一。虽起步较晚（2017 年后开始布局），但技术积累速度较快，长鑫存储技术活跃度达 98%，成为国内技术突破核心力量。主要发明人团队集中于韩国与美国企业，三星电子郑宏忠、英伟达 A·埃达里等为核心技术推动者，国内尚未形成规模化核心发明人集群。

权利人	三星电子	英伟达	美光科技	长江存储	长鑫存储
专利申请量 (件)	1449	776	698	114	81
排名	第一	第二	第三	第九	第十一
核心发明人	郑宏忠	A·埃达里、 KUNDU, LOPAMUDRAPE RELYGIN, KYRYLO	PAREKH, KUNAL R.	/	/

从细分技术分布来看，接口&协议为最核心技术方向，相关专利 2758 件，占比 36%，定义 HBM 与处理器的通信规则和数据传输规范，是 HBM 适配不同设备的基础；互连相关专利 1395 件与封装相关专利 1363 件，均占比 18%，构成技术支撑体系，分别聚焦垂直互连通道构建与 3D 堆叠集成；可靠性相关专利 1226 件，占比 16%，主要解决热管理与应力控制问题；混合键合相关专利 957 件，占比 12%，虽占比相对较低，但作为未来超高带宽存储的核心支撑，成为高端产品突破关键方向。

从基础核心专利来看，高同族专利与高被引专利均以美国和韩国企业为主导。从高同族专利来看，权利人包括英特尔、三星电子、美光科技、超威半导体、苹果公司、尔雅实验室公司、太浩研究公司以及钰创科技股份有限公司。其中英特尔较为突出，3 件高同族专利来自英特尔。细分技术层面，内存数据处理技术方向的专利相对较多，有四件相关专利；其次是互连技术方向；接口&协议、封装以及可靠性方向也有涉及。从高同族被引专利来看，涉及权利人均均为美国权利人，包括美光科技、艾德亚半导体接合科技有限公司、国际商业机器公司以及英特尔。其中美光科技和艾德亚半导体接合科技有限公司同族高被引专利最多。细分技术层面，混合键合、可靠性、封装、互连以及接口&协议五个细分技术分布较为均匀，其中混合键合、互连以及可靠性相对较多，各有三件专利。

第三章 国内外主要权利人分析

权利人是专利申请的主体，也是技术发展的主要推动力量，重要权利人更是研发和创新的领先力量和领先指标，是市场竞争的主体。通过对重点权利人的研究和分析，可以掌握整个市场竞争格局，获取相关公司发展战略、专利布局特征、专利战略和研发方向等。

基于前一章对国内外重要权利人专利申请量的排名情况。特分别选取全球及中国大陆各三位主要权利人，具体分析包括公司概况、专利申请趋势分析、专利申请区域分析、法律状态分析和技术发展路线分析等，以期获得其在 HBM 技术领域的整体发展态势和技术发展路径。综合专利申请量和市场占有率等情况选取三家全球主要权利人——爱思开海力士、三星电子与美光科技以及中国大陆三家权利人——长鑫存储、长江存储以及长电科技进行分析。

3.1 全球主要权利人

3.1.1 爱思开海力士（SK hynix）

1. 公司简介

爱思开海力士（SK hynix）是全球领先的半导体集成器件制造商（IDM），其前身为 1983 年成立的现代电子工业株式会社，隶属于现代集团；2001 年，公司从现代集团拆分并更名为海力士半导体，后归属于 SK 集团并启用现名，总部位于韩国。作为全球核心存储芯片企业，其核心业务聚焦存储器领域，主要产品包括动态随机存取存储器（DRAM）、非易失性 NAND 闪存，同时在高带宽内存（HBM）领域技术领先——自 HBM2E 时代起采用先进的 MR-MUF 工艺提升产品容量与稳定性，后续陆续推出 HBM3、HBM3E（2024 年实现 8 层及 12 层产品量产），2025 年 3 月进一步向英伟达等核心客户交付 12 层 HBM4 样品，该产品每秒可处理超 2TB 数据，传输速度较上一代 HBM3E 提升 60% 以上，计划于 2025 年下半年完成量产；此外，爱思开海力士 2021 年以 90 亿美元收购英特尔 NAND 及固态硬盘（SSD）业务，成立子公司 Solidigm（总部位于美国

加州圣何塞），进一步完善非易失性存储产品矩阵。市场表现方面，2021 年公司营收约 370 亿美元，位列全球第四大半导体生产商；在 HBM 赛道，自 HBM3 量产以来持续占据领先地位，凭借与英伟达、台积电的深度合作，成为 AI 及高性能计算领域头部客户的关键存储供应商，且为响应市场需求，多次提前 HBM 产品量产计划，进一步巩固其在高端存储市场的份额。

2. 专利申请趋势

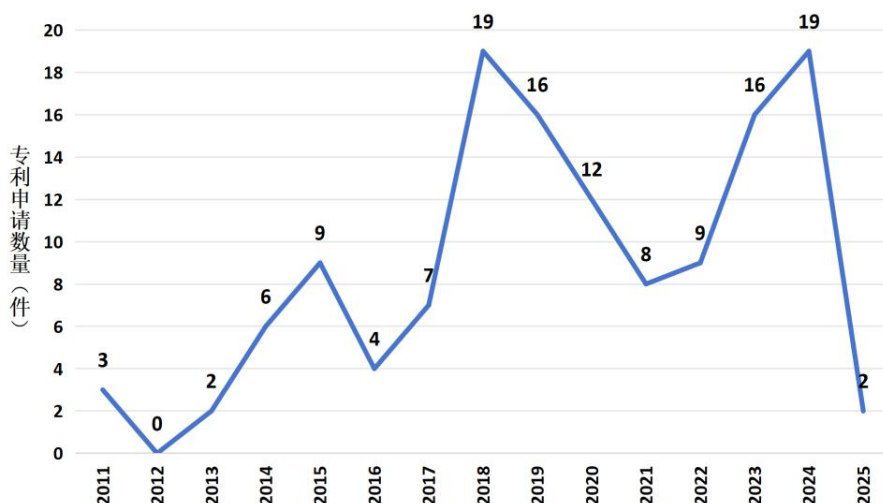


图 3-1 爱思开海力士专利申请趋势

由图 3-1 可见爱思开海力士专利申请趋势可分为以下两个阶段：

1. 技术预研起步期（2011-2017）

该阶段专利年均申请量不超过 5 件，最高申请量不足 10 件，呈现低量波动态势。从市场/技术背景角度来看，2011-2012 年 HBM 尚处于实验室预研阶段（首款 HBM 产品 2013 年才推出），无实际市场需求，专利仅围绕“3D 堆叠”“TSV 通孔”以及互连接口等基础概念布局；2013-2017 年 HBM 进入小规模量产，但市场需求集中在高端显卡等小众领域，因此专利以底层技术储备为主，节奏随研发进度波动。

2. 市场驱动扩张期（2018-2025）：

2018 年爱思开海力士 HBM 相关专利申请量跃升至最高值 19 件后经过连续三年的回落又增加至 19 件。从市场/技术背景角度来看，2018 年对应 HBM2E 量产（2017 年 SK 海力士推出 HBM2E），AI 服务器需求初现（2018 年 AI 芯

片对 HBM 需求增长 30%)，专利密集覆盖封装优化、带宽提升等量产技术，专利申请量明显增加；2019-2021 年回调，或因为 2019 年是 HBM2E 技术优化收尾，2021 年处于 HBM3 研发待量产的过渡期，叠加消费类存储疲软，专利投入阶段性收缩；2024 年再冲高，对应 HBM3E 大规模供货，叠加 ChatGPT 带动的 AI 算力爆发（2024 年 HBM 占 SK 海力士营收 35%），专利聚焦 HBM3E 的功耗控制、多芯片协同等高端应用技术。2025 年，因为专利公开的滞后性，相关专利申请量的下降并不意味实际意义上的减少。

3.专利区域和法律状态分析

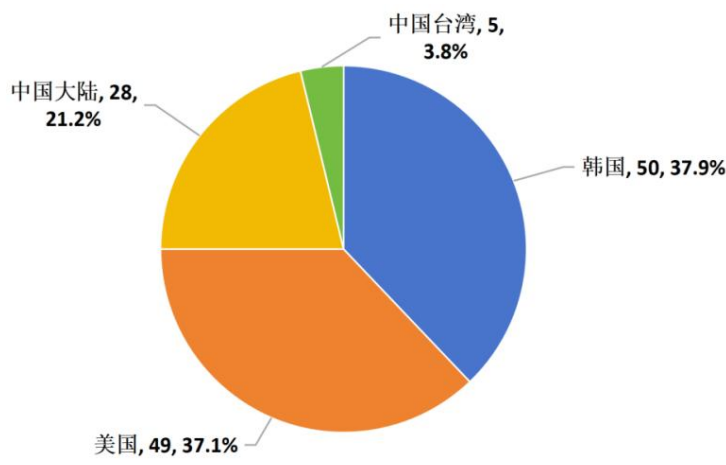


图 3-2 爱思开海力士专利区域分布

图 3-2 为爱思开海力士 HBM 相关专利的区域分布情况。从图中可见，韩国和美国是其相关专利布局的核心区域，专利布局占比均超过 37%，其中韩国 50 件，美国 49 件。中国大陆紧随美国之后，专利布局占比 21.2%，相关专利 28 件。中国台湾相对较少，专利布局占比 3.8%，仅有 5 件。

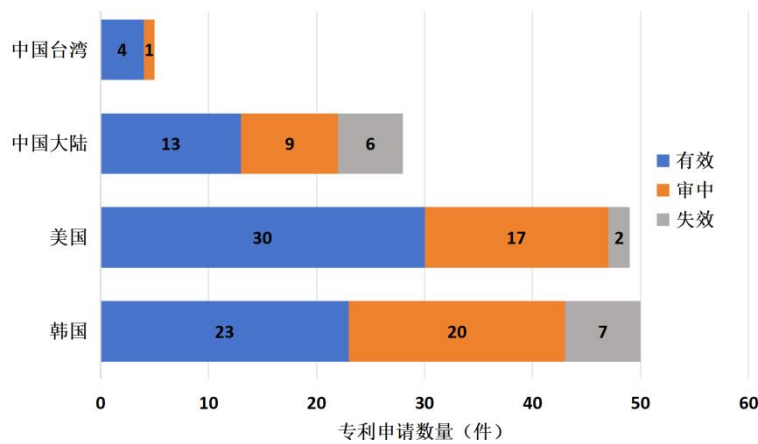


图 3-3 爱思开海力士专利区域法律状态

图 3-3 为爱思开海力士 HBM 相关专利的区域法律状态分布情况。从有效专利来看，美国的有效专利数量最多，有 30 件，超过韩国本土的专利布局数量；其次为韩国本土，23 件，中国大陆和台湾的有效专利相对较少，分别为 13 件和 4 件。从审中专利来看，韩国本土布局最多，20 件，其次为美国，17 件，中国大陆和中国台湾的审中专利均不足 10 件。整体来看，有效专利占比 53%，审中专利占比 36%，较高的有效及审中专利占比表明其 HBM 相关技术的活跃度较高。

4.发明人分析

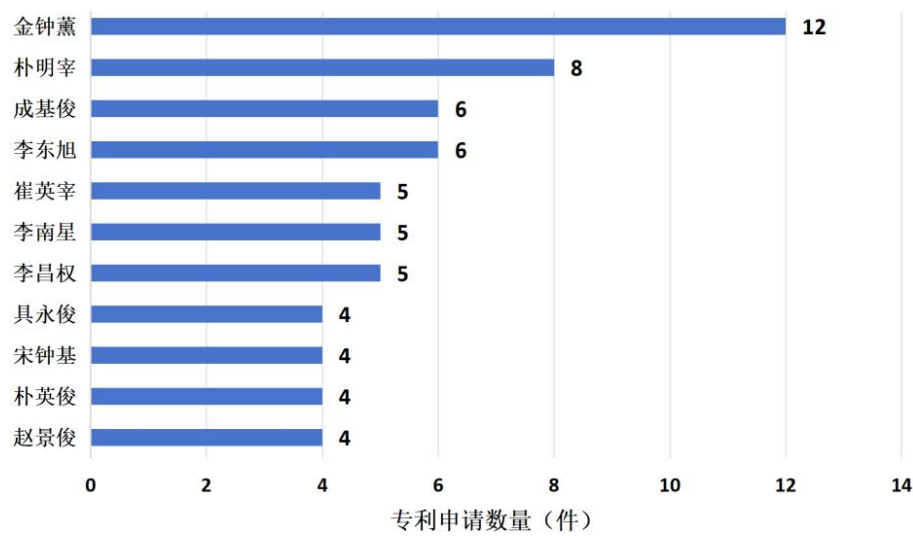


图 3-4 爱思开海力士主要发明人排名

由图 3-4 可见，发明人金钟薰（12 件）和朴明宰（8 件）的专利持有量较多，为重要发明人，主要涉及 HBM 的封装、可靠性（热管理）、接口&协议、互连。

5.技术分布分析

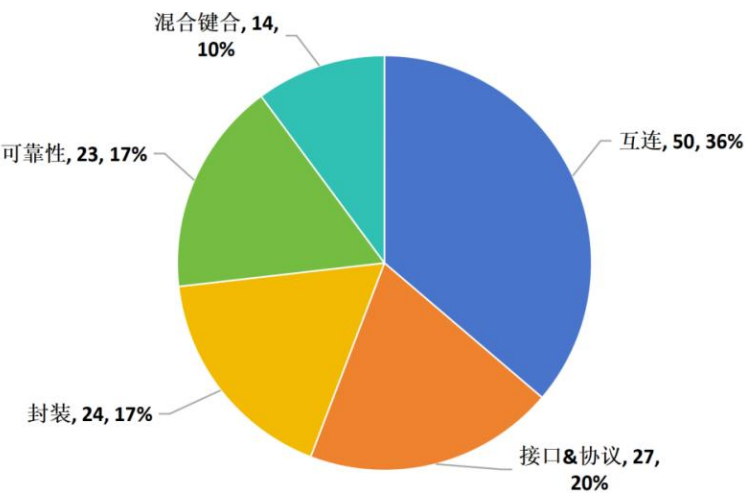


图 3-5 爱思开海力士细分技术分布

图 3-5 为从细分技术角度对爱思开海力士的相关专利进行分类检索得到的专利分布情况。从细分技术来看，互连及接口&协议技术相关专利占比相对较高，其中互连相关专利占比 36%，有 50 件；接口&协议相关专利占比五分之一，有 27 件，封装和可靠性相关专利数量相当，均占比 17%。混合键合相关专利最少，占比十分之一，仅有 14 件。

6. 技术研发动向分析

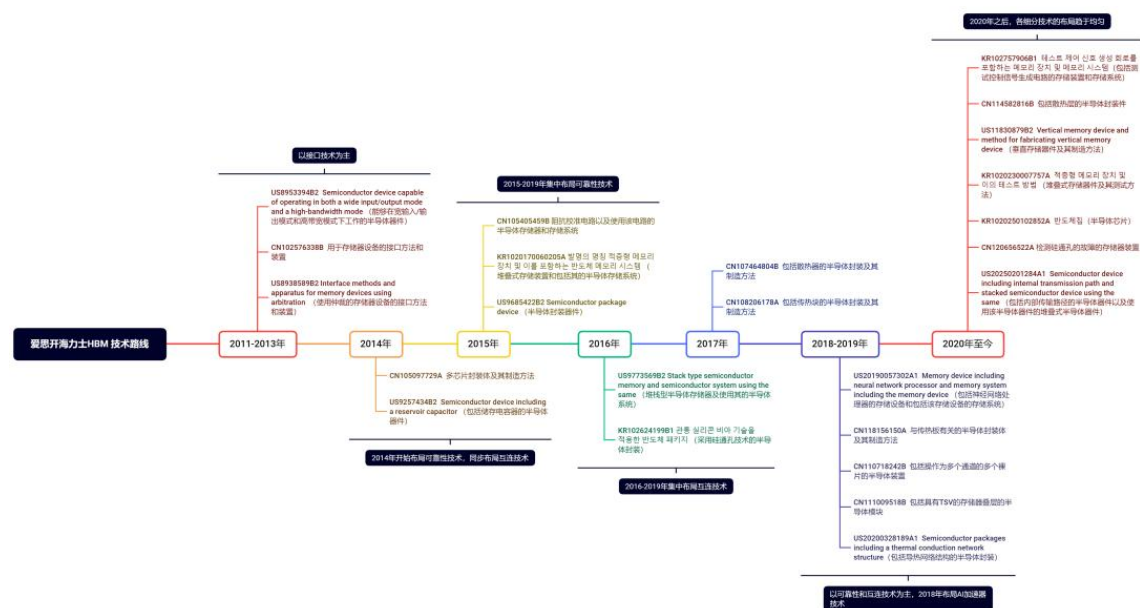


图 3-6 爱思开海力士技术研发动向

图 3-6 为爱思开海力士 HBM 技术研发动向情况。

爱思开海力士 HBM 技术的专利布局开始于 2011 年，2011-2013 年其相关技术聚焦在 HBM 接口技术领域，通过总线接口的改进，减少时序限制并提升带宽利用率（US893385B2）或实现高效通信（CN102576338B）；或通过具有兼容 WIO2 和 HBM 标准的内部和外部输入/输出电路单元，允许在多种模式下运行以适应不同的存储类型，减少开发时间并降低成本。

2014 年，爱思开海力士开始展开可靠性（热管理）相关专利的布局，并在 2015-2019 年集中布局，更具体的涉及热管理（CN105097729A、CN107464804B、CN108206178A、KR102653837B1、CN118156150A、US20200328189A1、KR102807602B1、CN114582816B、KR1020240083894A）、确保阻抗匹配（CN105405459B）、可靠性测试

(KR1020170060205A 、 US9685422B2 、 KR1020170060205A 、 US9685422B2、CN110379722A、KR1020250139143A)，并同步开展互连技术的专利布局，2016-2019 年互连技术相关专利属于集中布局阶段，具体涉及改善电源和信号完整性：降低噪声 (US9257434B2)；数据传输或处理：确保数据的准确传输(US9336857B2)、提高数据交换效率(KR102624199B1)、提高数据处理速度(CN110718242B)、减少数据访问时间(CN111009518B)；提高带宽 (KR1020250125826A)。此外，海力士的互连技术还具体涉及一些测试电路 (US9773569B2 、 CN110246526B 、 KR102728552B1 、 KR102757906B1)，主要是为了提高测试的效率。

2018-2019 年属于爱思开海力士 HBM 相关专利集中布局可靠性和互连技术的时间段，并在 2018 年布局 AI 加速器相关专利 (US20190057302A1)，该专利公开了一种具有神经网络处理器的存储设备，控制存储单元电路读取和写入数据，允许同时进行神经网络处理和内存操作，从而通过将内存地址区域划分为主机和神经网络处理器(NNP)区域来减少内存访问时间。

2020 年之后，各细分技术的布局趋于均匀化。2021 和 2024 年布局两件混合键合相关专利，主要关注降低功耗 (US11830879B2) 和避免高温对器件的损坏 (CN119893990A)。比较来看，海力士混合键合相关专利不多。

整体来看，爱思开海力士的 HBM 的研发以互连、接口&协议以及可靠性技术为主。

3.1.2 三星电子 (Samsung Electronics)

1.公司简介

三星电子 (Samsung Electronics 以下称“三星”) 是全球存储技术领域的主要企业之一，凭借数十年技术积累与持续创新，在 DRAM、NAND 闪存及 HBM (高带宽内存) 三大核心赛道均占据行业领先地位，其存储业务总部位于韩国水原市，依托全球布局的研发中心与先进产线，构建了从技术研发、芯片制造到终端应用的完整产业链。作为 DRAM 领域的长期主导者，三星连续近 30 年稳居全球 DRAM 市场前列,2025 年 Q3 以 34.8% 的市占率重回 DRAM 全球第一，

其 DDR5 内存凭借高频率、低功耗优势广泛应用于 PC、服务器及 AI 设备；NAND 闪存领域，三星率先量产 3DV-NAND 技术并持续迭代，目前已推进至 400 层以上堆叠的 V10NAND，同时通过与长江存储签署专利许可协议，采用混合键合技术突破高堆叠层数下的可靠性瓶颈，进一步巩固 NAND 市场竞争力。在 HBM 赛道，三星虽早期经历战略调整，但凭借技术反扑快速跻身核心玩家，其 HBM 产品已形成完整迭代体系：从 HBM2e（3.6Gbps 速率、16GB 容量）、HBM3（6.4Gbps 速率、24GB 容量）到量产的 HBM3E（12 层堆叠，9.2Gbps 速率、36GB 容量，能效提升 12%），再到 2025 年底完成开发并向英伟达送样的 HBM4，后者采用 2048 位超宽接口与 16 层堆叠设计，单颗带宽达 2.8TB/s、速率 11Gbps，容量最高 64GB，还集成近存计算架构与直冷式液冷技术，性能较前代提升 60% 以上。市场表现方面，三星 HBM 市占率虽 2025 年 Q3 为 17.2%，但随着 HBM3E 通过英伟达认证、HBM4 进入最终验证阶段，且平泽园区 HBM4 产能持续扩建，预计 2026 年市占率将突破 30%；当前其 HBM 产品已深度对接英伟达 Rubin 架构 GPU、AMD Instinct 系列等核心客户，凭借 4 纳米逻辑裸片与先进 DRAM 芯片的工艺组合，成为 AI 服务器与高性能计算领域的关键存储供应商，持续以技术迭代推动全球存储行业向高带宽、高密度、低功耗方向发展。

2. 专利申请趋势

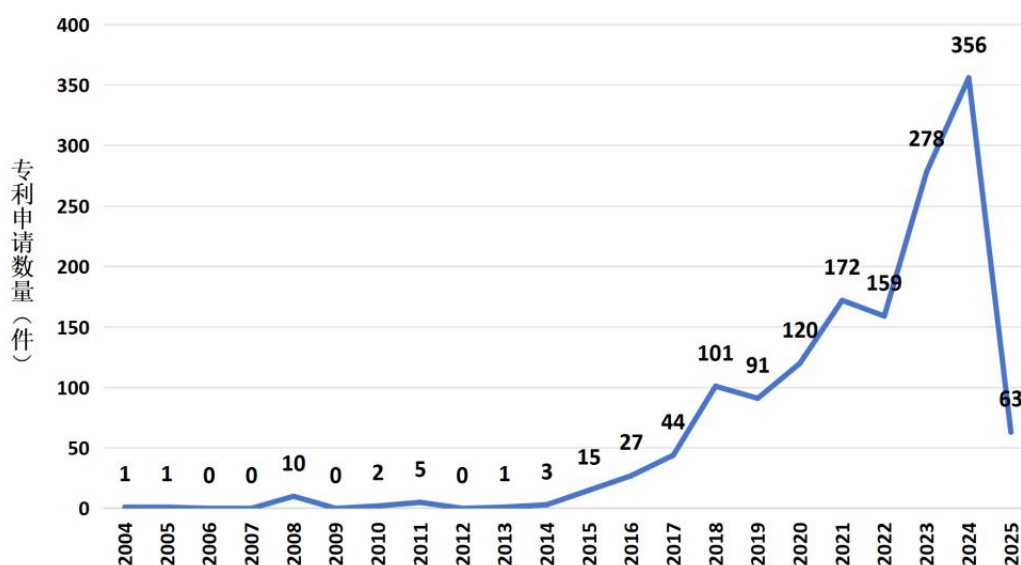


图 3-7 三星专利申请趋势

图 3-7 为三星 HBM 相关专利的申请趋势。主要可分为以下两个阶段：

1. 技术预研萌芽期（2004-2013 年）

该阶段属于三星的早期探索阶段，专利零星布局，累计布局不足 20 件，年均不足 5 件。从市场/技术交代来看，HBM 技术在 2010 年代初才进入概念验证阶段(全球首款 HBM 产品 2013 年推出)，此阶段三星仅布局“3D 堆叠结构”“TSV 通孔工艺”等底层基础技术；HBM 尚未商业化，全球市场需求几乎为零，因此专利投入以零星探索为主，未形成规模化布局。

2. 商业化扩张期（2014-2025 年）

2014-2024 年相关专利高速增长，专利量从 2014 年 3 件持续飙升至 2024 年 356 件，仅 2022 年小幅回落至 159 件，年均申请量 124 件，整体呈现“阶梯式跃升”。从市场驱动角度来看，2014-2017 年 HBM1/HBM2 逐步量产，应用于高端显卡（如 NVIDIA Pascal 架构），三星专利聚焦“封装优化”、“带宽提升”等量产技术，专利量从 3 件增至 44 件；2018-2020 年 HBM2E/HBM3 推出，AI 服务器需求初现，全球 HBM 市场规模突破 20 亿美元，三星专利量突破 100 件（2018 年 101 件），2020 年达 120 件；2021-2024 年 ChatGPT 带动 AI 算力需求激增，HBM 成为 AI 芯片核心部件，三星 HBM3E 量产（2023 年），专利量从 172 件飙升至 356 件（2024 年）——此阶段三星 HBM 市占率稳定在 35%-40%，专利布局集中于“低功耗控制”“12 层堆叠工艺”等高端技术，巩固市场竞争力。2025 年，因为专利公开的滞后性，相关专利申请量的下降并不意味实际意义上的减少。

3. 专利区域和法律状态分析

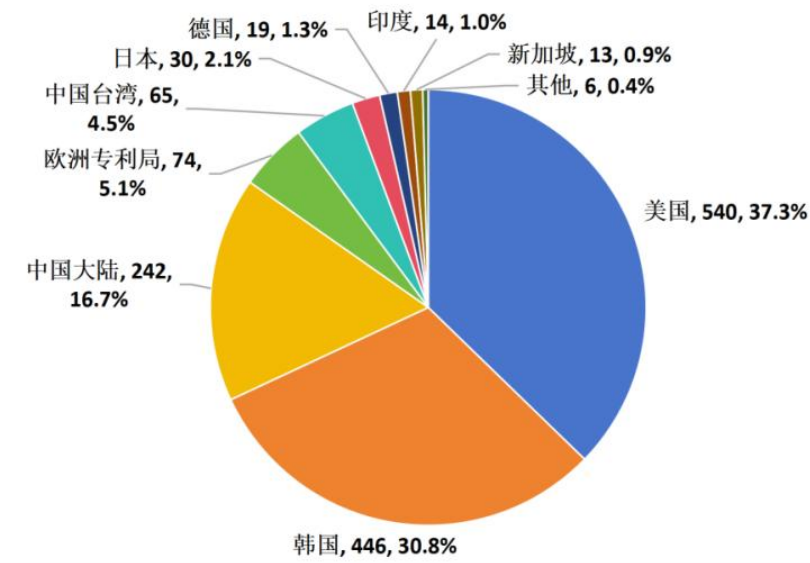


图 3-8 三星专利区域分布

图 3-8 为三星 HBM 技术相关专利区域分布情况。由图可见，美国及韩国本土为三星的重点布局地区，其中美国地区的专利布局最多，540 件，占比 37.3%；韩国本土 446 件，占比 30.8%；中国大陆的专利布局量相对较少，242 件，占比 16.7%。此外，三星还在欧洲、中国台湾等八个地区布局了 15% 的相关专利。

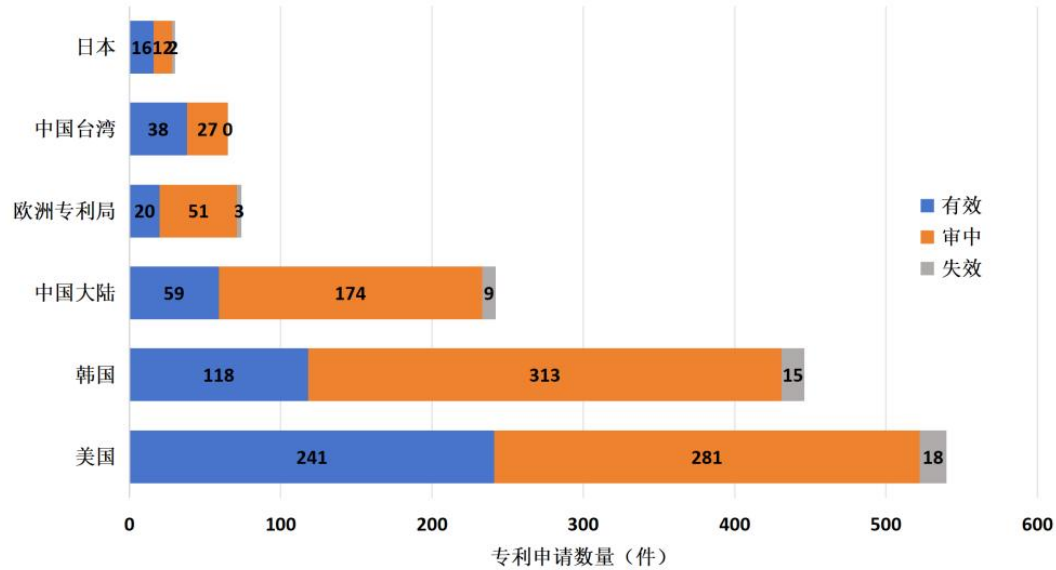


图 3-9 三星专利区域法律状态

图 3-9 为专利主要布局区域的法律状态。从有效专利来看，美国数量最多，241 件，韩国和中国大陆依次位居其后，有效专利分别为 118 件和 59 件。从审中专利来看，韩国本土专利数量最多，313 件，其次为美国 281 件，中国大陆

174 件，位列第三。整体来看，审中专利占比最高，高达 61%，有效专利占比 35%，累计占比高达 95%，可见三星在 HBM 技术领域的研发处于高活跃状态。

4.发明人分析

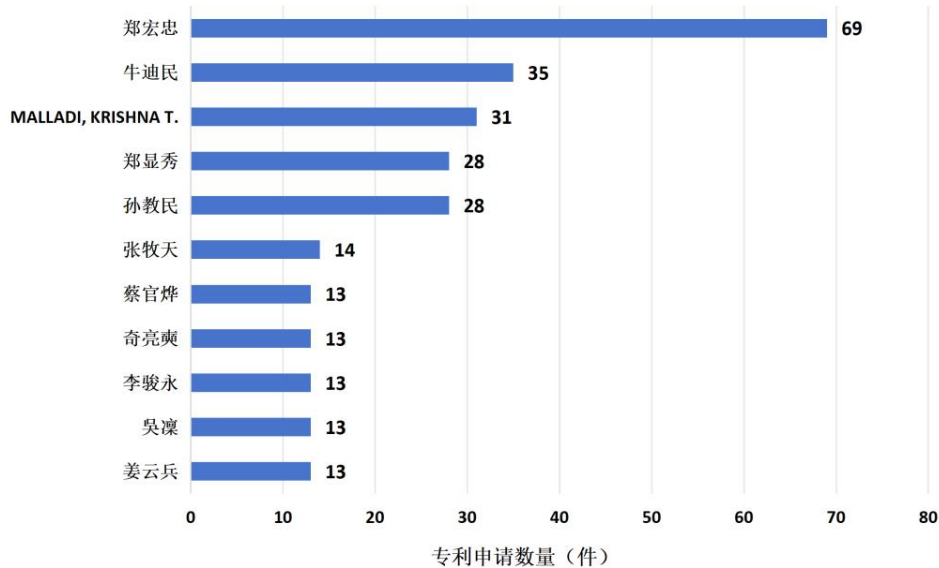


图 3-10 三星主要发明人排名（专利持有量超过 13 件）

从图 3-10 中可见，重要发明人郑宏忠持有的相关专利量最多，高达 69 件，主要涉及 HBM 的接口&协议和封装技术。牛迪民、MALLADI, KRISHNA T.、郑显秀、孙教民四位发明人的相关专利持有量处于 25 件以上，为主要发明人。

5.技术分布分析

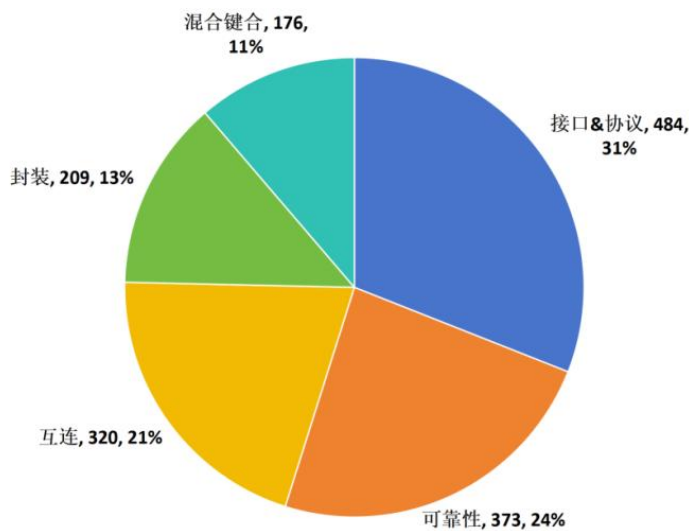


图 3-11 三星细分技术分布

图 3-11 为从细分技术角度对三星的相关专利进行分类检索得到的专利分布情况。从细分技术来看，接口&协议技术相关专利占比超过三成，484 件，数量

最多；可靠性相关专利占比 24%，有 373 件；互连相关专利占比 21%，有 320 件，封装和可靠性相关专利数量相对较少，其中封装相关专利 209 件，占比 13%，混合键合相关专利 176 件，占比 11%。

6. 技术研发动向分析

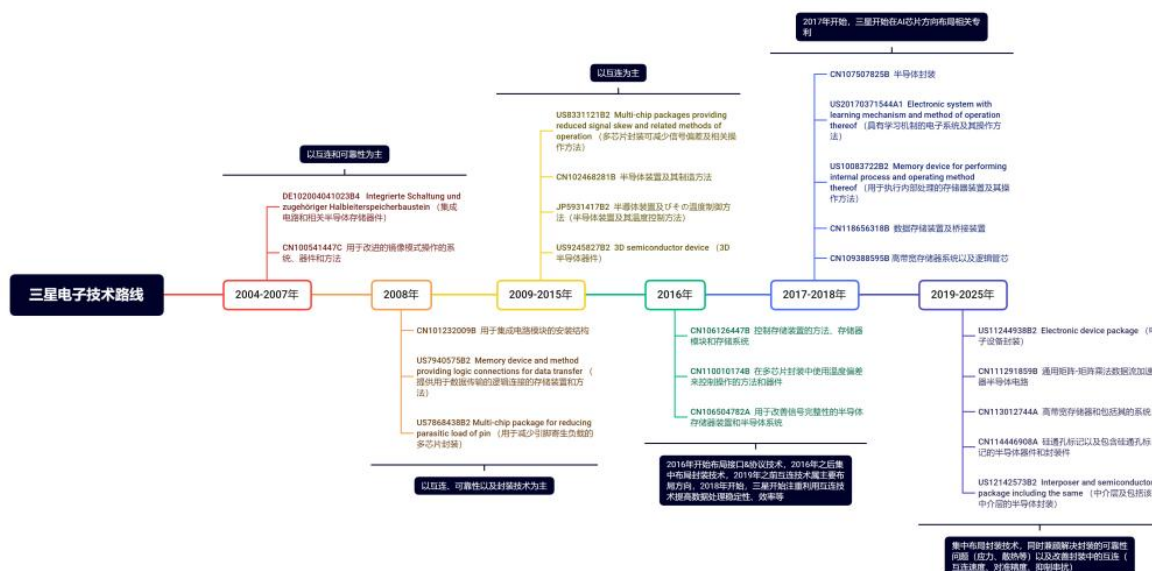


图 3-12 三星技术研发动向

三星 HBM 技术的专利布局开始于 2004 年，较早的一件专利涉及 HBM 器件的可变阻抗控制方案，技术效果涉及可靠性，具体涉及降低信号反射。2005 年一件相关专利 CN100541447C 涉及互连技术，其公开了一种用于改进的镜像模式操作的系统、器件和方法，通过调控电路连接避免短路负载。

2008 年，三星相关专利以互连和可靠性为主。互连相关技术主要是提高带宽和降低功耗（US7940575B2）、提高电连接效率（CN101355067B）；此外 2008 年的相关技术还涉及多芯片封装（US7868438B2、US8331121B2），主要减少寄生负载、优化信号及其兼容性。

2010 年之后，三星 HBM 技术的布局开始呈现多样化，其中到 2019 年之前其相关技术以互连技术为主，具体涉及防止电路噪声耦合（JP6053268B2）、提高光电互连电路的带宽（US9449653B2）、通过 TSV 互连（US9245827B2）或通道互连（US9606916B2）降低功耗、此外三星的互连相关专利还涉及保障电路的信号及电源完整性：防止压降（KR102410992B1）、降低完整性损耗

(CN107591174B)；值得注意的是 2018 年开始，三星开始注重利用互连技术提高数据处理稳定性、效率等：提高数据迁移效率(CN108459974B)、确保数据传输(US10580719B2)、提高计算效率并降低功耗(CN109560078B)、提高数据处理效率(CN118656318B)。

从其 HBM 封装相关专利的布局来看，该技术起步于 2008 年，2016 年之后才集中布局，具体涉及的技术效果较为丰富，如多芯片封装的热管理(CN110010174B)、提高信号完整性(CN106504782A)、利用 TSV 和微凸块提高带宽和封装密度(US9984032B2)；通过控制黏度差异确保封装体的可靠粘结(CN107591387B)、封装的热管理(CN107507825B、KR102875868B1、CN113314482B、KR102854366B1)、以及封装的应力控制(KR102875868B1、US20240321842A1)等。

从 HBM 接口&协议细分技术布局来看，起始于 2016 年左右，主要与主机与存储装置的通信(CN106126447B)、数据传输和处理(CN111881071B、CN114443516A)、内存访问及读取(JP6796430B2、US10147481B2)、服务器之间的数据交换(CN113742257A、CN113742256A、US20250036590A1)、降低延迟并提高带宽(US20250147659A1)等有关。

2017 年开始，三星开始在 AI 芯片方向布局相关专利，如 AI 学习系统(US20170371544A1)、采用 HBM2 架构的 AI 芯片(CN109388595B)、AI 存储器架构(CN111291859B)、AI 存储优化(CN113053429A)。

此外，三星的 HBM 技术还涉及 CPU 内存处理模型(US9836277B2)、GPU 架构(KR102689910B1)。整体来看，三星 HBM 技术在四大细分技术——互连、封装、可靠性以及接口&协议均有布局，其中互连相关专利相对较多。

3.1.3 美光科技 (Micron Technology)

1.公司简介

美光科技 (Micron Technology) 是全球领先的存储解决方案提供商，1978 年成立于美国爱达荷州博伊西市，凭借持续的技术迭代与全产业链布局，在 DRAM、NAND 闪存及 HBM（高带宽内存）领域均稳居行业第一梯队，其存储

业务覆盖从消费电子到 AI 数据中心的全场景需求。在核心存储技术领域，美光科技长期引领行业创新：DRAM 方面率先出货基于 1 γ 制程的第六代产品，LPDDR5X 内存以 9.6Gbps 速率支撑 AI 与汽车电子应用，DDR5RDIMM 与 MRDIMM 模块为数据中心提供高容量扩展；NAND 闪存领域持续突破堆叠层数，率先量产 232 层 3DNAND，采用 CMOS 阵列下（CuA）架构与六平面设计，单位面积位密度较上一代提升 45%，读写带宽分别提高 100%和 75%，同时 176 层 NAND 凭借替换栅极技术广泛应用于移动、客户端及数据中心 SSD。HBM 赛道作为美光战略重点，已构建完整产品矩阵：2024 年率先量产 12 层堆叠 36GBHBM3E，引脚速度超 9.2Gbps、带宽达 1.2TB/s，容量较 8 层方案提升 50%且功耗降低 20%，已深度适配英伟达 HGXB300/B200 平台；2025 年向核心客户送样 HBM4，传输速率突破 11Gbps、带宽超 2.8TB/s，采用 12 层堆叠与 MR-MUF 封装工艺，良率提升至 75%以上，计划 2026 年 Q2 量产出货，后续 HBM4E 将提供定制化选项。市场表现上，美光 HBM 市占率从 2023 年的 10%快速攀升至 2025 年 Q3 的 22%，稳居全球第二；作为台积电 3DFabric 联盟核心伙伴，其 HBM 产品已通过英伟达、AMD 等头部客户验证，2025 财年 HBM 年化营收达 80 亿美元，计划 2026 年将相关资本开支提升至总投入的 35%，凭借技术迭代与客户绑定，持续巩固在高端存储及 AI 内存领域的竞争优势。

2.专利申请趋势

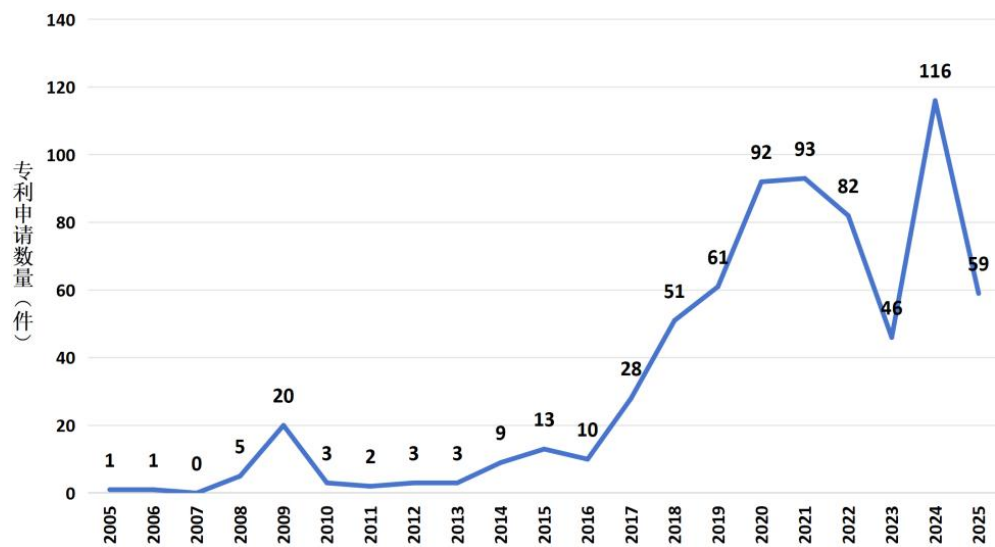


图 3-13 美光科技专利申请趋势

图 3-13 为美光科技 HBM 相关专利的申请趋势。由图可见，其专利申请趋势主要分为以下三个阶段。

1. 初期技术储备期（2005-2016 年）

2005-2016 年，美光科技 HBM 相关专利申请量较低，累计专利申请量 70 件，年均不足 6 件，仅 2009 年短暂达到 20 件后回落。这一阶段的特征是“技术储备零散”，背后是 HBM 市场尚未规模化，HBM1 在 2014 年才实现量产，早期仅应用于少数高端 GPU（如 AMD Fiji），市场需求有限；美光科技的资源更多集中在传统 DRAM、NAND 闪存等成熟赛道，对 HBM 的研发投入处于试探性储备阶段，因此专利布局节奏缓慢。

2. 快速增长期（2017-2021 年）

2017-2021 年，专利申请量从 28 件逐年升至 93 件。这一阶段的专利增长与 HBM 的应用场景扩张直接挂钩，2018 年后 AI 大模型、高性能计算（HPC）开始崛起，HBM 的“高带宽”需求从小众场景转向主流算力领域；美光科技此时明确将 HBM 列为战略赛道，启动 HBM2e、HBM3 的研发（如 2019 年布局 HBM3 的堆叠/TSV 技术），专利申请量随研发投入增加而快速提升，为后续 HBM 产品量产（2024 年 HBM3E 出货）积累了技术壁垒，也支撑了其 HBM 市占率从 2023 年 10% 的突破。

3. 波动调整期（2022-2025 年）

2022-2023 年专利量短暂跌至 46 件后，2024 年猛增至 116 件。

2022-2023 年下降或因为美光科技 HBM3 进入量产落地阶段（研发重心从“技术创新”转向“产品良率优化”），专利申请从“核心技术布局”转向“细节改进”，数量暂时收缩。2024 年激增或因为美光科技 HBM4 研发的核心专利集中申请期（2024 年美光向客户送样 HBM4），围绕 HBM4 的 12 层堆叠、MR-MUF 封装、高带宽接口等技术的专利集中提交，因此数量暴增至峰值。2025 年，因为专利公开的滞后性，相关专利申请量的下降并不意味着实际意义上的减少。

3. 专利区域和法律状态分析

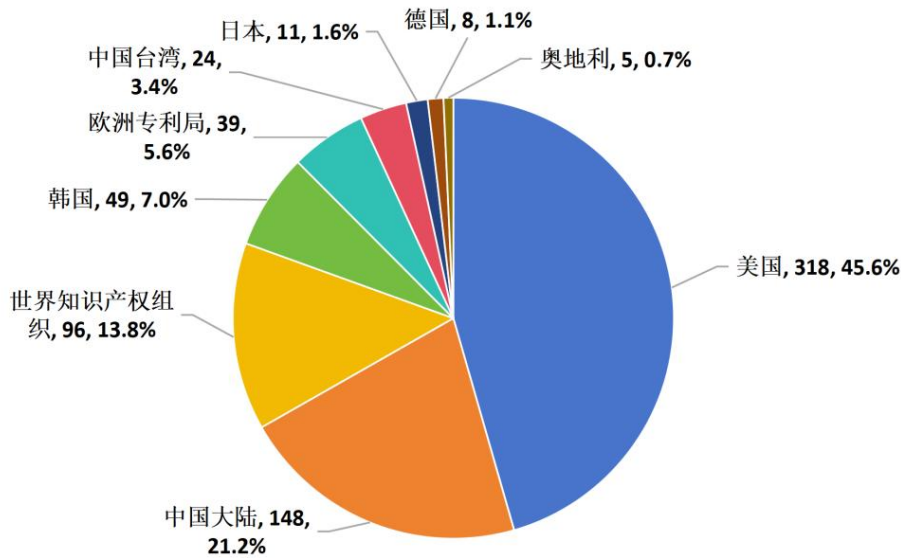


图 3-14 美光科技专利区域分布

图 3-14 为美光科技 HBM 相关专利的区域分布情况。由图可见,美光科技 最主要的布局地区是美国本土,相关专利 318 件,占比高达 45.6%;其次为中国大陆,相关专利 148 件,占比 21.2%;再次为韩国,相关专利 49 件,占比 7%。相对于爱思开海力士和三星,其通过 PCT 渠道布局的专利占比较高,占比 13.8%。此外,其还在欧洲。中国台湾等地区布局了少量专利,占比均不足 6%。

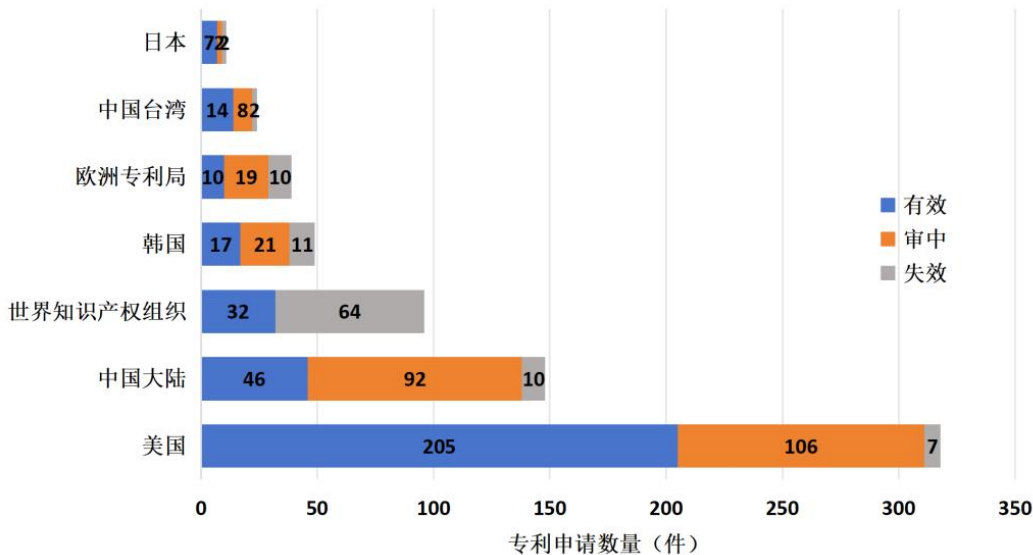


图 3-15 美光科技专利区域法律状态

图 3-15 为美光科技 HBM 相关专利的区域法律状态分布情况。从有效专利来看,美国本土的有效专利最多,205 件,其次是中国大陆,有效专利 46 件。

整体来看，有效专利占比 44%，审中专利占比 36%，有效及审中专利累计占比八成，HBM 技术活跃度同样维持较为活跃的状态。

4.发明人分析

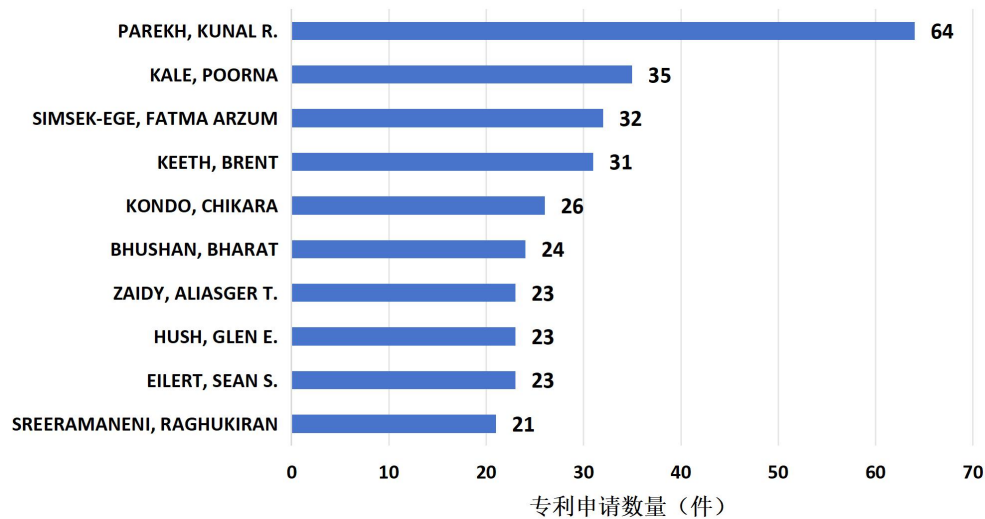


图 3-16 美光科技主要发明人排名

图 3-16 为美光科技 HBM 相关专利持有量超 20 件的发明人排名情况。从中可见，重点发明人 PAREKH, KUNAL R.以 64 件相关专利持有量位居第一，其持有的相关专利主要涉及封装与互连。发明人 KALE, POORNA、SIMSEK-EGE, FATMA ARZUM 以及 KEETH, BRENT 的相关专利持有量均在 30 件以上，属于主要发明人。

5.技术分布分析

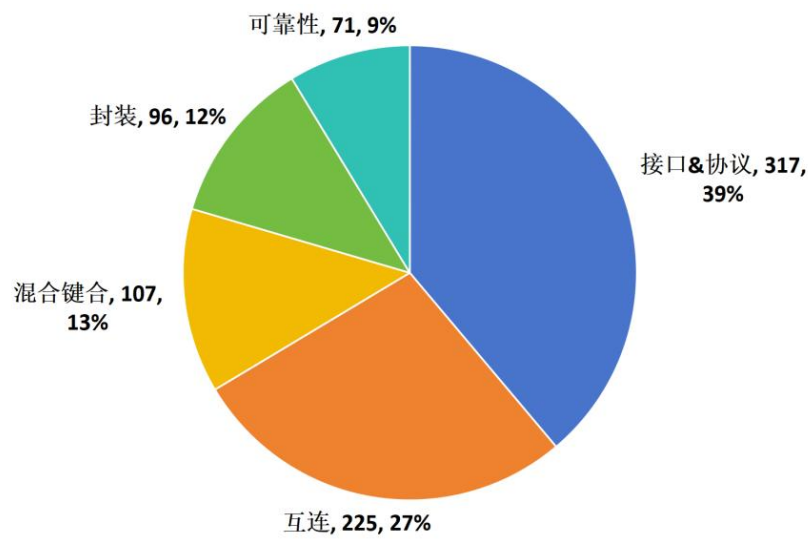


图 3-17 美光科技细分技术分布

图 3-17 为从细分技术角度对美光科技的相关专利进行分类检索得到的专利分布情况。从细分技术来看，接口&协议技术相关专利占比接近四成，317 件，数量最多；互连相关专利占比 27%，有 225 件；混合键合相关专利占比 13%，有 107 件，封装和可靠性相关专利数量相对较少，其中封装相关专利 96 件，占比 12%，可靠性相关专利 71 件，占比 9%。

6. 技术研发动向分析

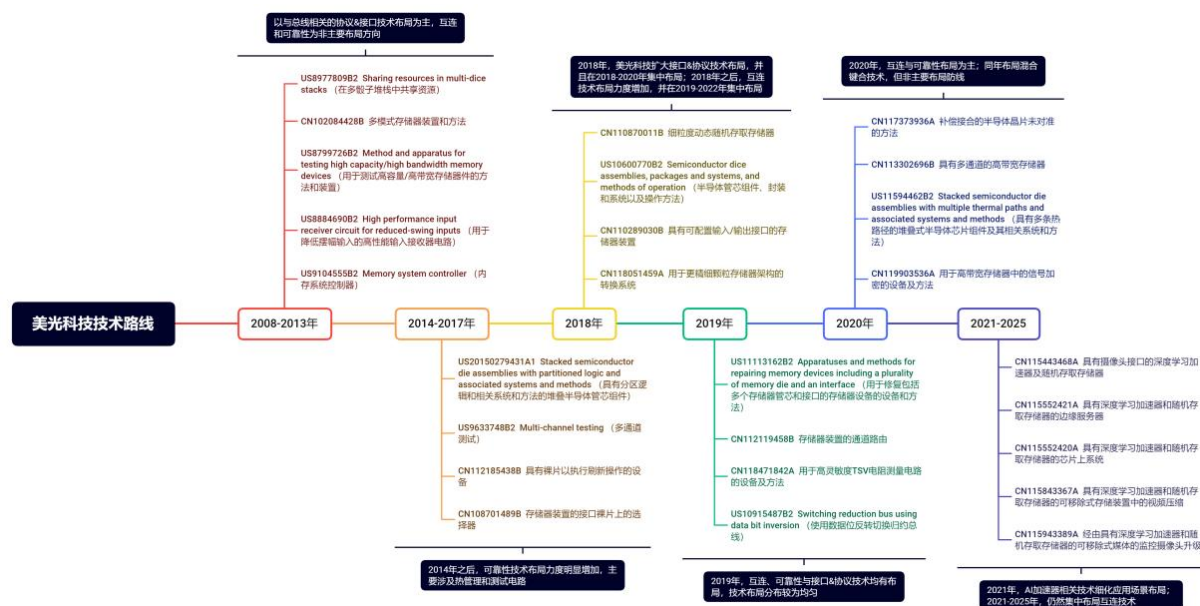


图 3-18 美光科技技术研发动向

图 3-18 为美光科技 HBM 技术研发动向情况。2008-2013 年，美光科技 HBM 技术以与总线相关的协议&接口技术为主，主要的技术效果集中在确保资源共享(US8977809B2)提高数据传输效率(CN102084428B、US8799726B2)、提高带宽(CN102084430B)方面；互连和可靠性分支技术相关专利较少。

2014 年之后，美光科技 HBM 可靠性相关专利的布局力度明显增加，并在 2019 年达到峰值，具体涉及热管理(US20150279431A1、US10600770B2、CN111383930A、US11594462B2)、电源完整性(US9633748B2、CN112185438B)、可靠性相关的测试电路(JP2015232500A、CN108701489B、CN114974393A、CN111149162B)等。

2018 年之后，美光科技的互连技术相关专利的布局力度明显增加，并在 2019-2022 年集中布局。具体技术效果以降低功耗、提高带宽、提高数据传输

速度/效率为主。2018 年，美光科技扩大接口&协议相关专利的布局，集中布局时间集中在 2018-2020 年，对应的技术效果也较为丰富，如增加数据传输速度（CN119446223A）、优化信号传输（CN110289030B）、提高通信效率（CN118051459A）、降低功耗（US10915487B2、US10915487B2、US10424354B2）、提升带宽（CN111198654A、CN114974349A、CN118051447A、CN114846545A、CN114930282A、US11614875B2、CN117678338B）、降低延时（CN116360674A、US11809800B2、US20250147660A1）。

此外，2021 年美光科技还就 AI 加速器相关技术细化应用场景进行专利布局（CN115443468A、CN115552421A、CN115552420A、CN115843367A、CN115943389A），均是为了提高效率和降低功耗。

整体来看，美光科技 HBM 技术以互连、接口&协议以及可靠性相关技术为主。混合键合相关专利不是其主要布局方向。

3.2 国内主要权利人

3.2.1 长鑫存储

1. 公司简介

长鑫存储是中国大陆唯一实现 DRAM（动态随机存取存储芯片）规模化量产的领军企业，2016 年在安徽合肥启动事业布局并正式成立，总部位于合肥，同时在北京建有生产基地与国内外多个研发中心，是全球 DRAM 市场中极具成长性的中国力量。作为专注于 DRAM 设计、研发、生产与销售的一体化存储器制造公司（IDM 模式），长鑫存储以德国奇梦达技术（奇梦达（Qimonda AG）是 2006 年由英飞凌分拆成立的德国半导体企业，总部位于慕尼黑，曾为全球第二大 DRAM 公司及 300mm 晶圆技术领先者，2009 年因市场波动申请破产保护，其中国研发中心资产后被浪潮集团并购）为基础，从奇梦达破产管理机构获取 1000 多万份 DRAM 相关技术文件及 2.8TB 核心数据，涵盖沟槽式 DRAM 技术、75nm 深沟技术及 Buried Wordline（埋入式字线）等堆叠式技术，通过自主迭代突破

构建核心技术体系，已形成覆盖 DDR4、DDR5、LPDDR4X、LPDDR5 及 LPDDR5X 的完整产品矩阵——其中 DDR5 系列最高速率达 8000Mbps、单颗颗粒容量 24Gb，同步推出 UDIMM、RDIMM 等七大模组覆盖服务器、工作站与 PC 全场景；LPDDR5X 系列速率突破 10667Mbps、容量 16Gb，功耗较 LPDDR5 降低 30%，已通过小米、传音等主流手机厂商验证，技术性能跻身全球第一梯队。在技术积累上，长鑫存储突破 16nmDRAM 工艺节点，申请中国专利超 2000 件、PCT 国际专利近 100 件，持续夯实专利与工艺壁垒。产能与市场表现方面，长鑫存储已建成合肥、北京两大 12 英寸晶圆基地，2025 年底月产能达 28 万片，预计 2026 年增至 30 万片；2025 年 DRAM 出货量同比增长 50%，全球市占率从第一季度的 6%提升至第四季度的 8%，其中 DDR5 市占率达 7%、LPDDR5 市占率激增至 9%，凭借扩产成本较韩国厂商低 40%的优势，在消费电子、物联网领域快速打开市场，同时逐步切入 AI 服务器供应链。资本层面，公司 2024 年完成 108 亿元战略融资(投前估值 1400 亿元)，2025 年 7 月启动科创板 IPO 辅导（中金公司、中信建投联合保荐），股东涵盖国家大基金二期、合肥国资及阿里、小米等企业；其发展不仅打破三星、SK 海力士、美光对全球 DRAM 市场的垄断格局，更带动国产半导体设备、材料产业链验证与替代，成为以存储科技推动国产替代、保障国内存储供应链稳定的核心企业。

2.专利申请趋势

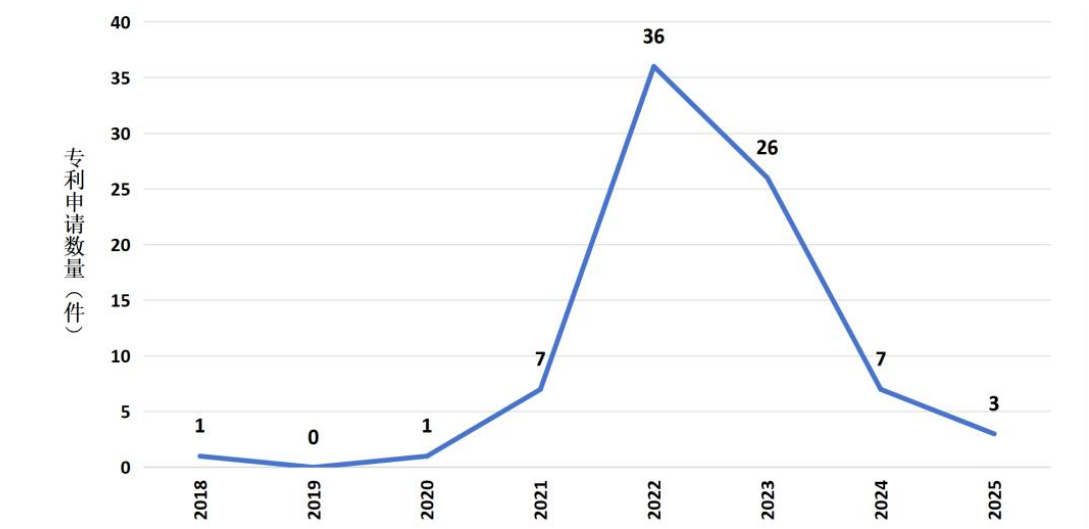


图 3-19 长鑫存储专利申请趋势

表 3-19 为长鑫存储 HBM 技术相关专利的申请趋势。从图中可见，其相关专利申请开始于 2018 年，对应的是中国专利 CN110968450A，该专利公开了一种数据存储方法及装置、存储介质、电子设备，通过将校验码划分为多个子校验码，并分别存储在不同的存储芯片上，使每个存储芯片仅存储每个校验码中的一个子校验码，从而降低多个错误对应到同一个校验码的概率，提高纠错率。2018-2021 年，相关专利申请量较低，最高申请量不足 10 件。集中申请时间段集中在 2022-2023 年，年均专利申请量达到 31 件。2024-2025 年，长鑫存储相关专利明显减少，该趋势与其所有技术领域的专利申请趋势相符。

3. 专利区域和法律状态分析

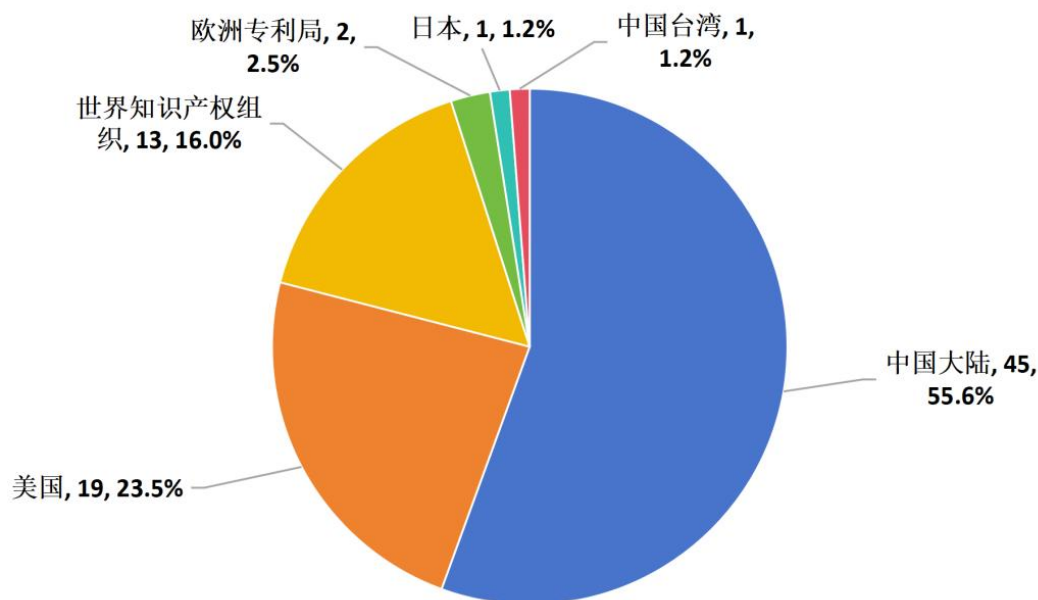


图 3-20 长鑫存储专利区域分布

图 3-20 为长鑫存储 HBM 相关专利的区域分布情况。由图可见，长鑫存储最主要的布局地区是中国大陆本土，相关专利 45 件，占比高达 55.6%；其次为美国，相关专利 19 件，占比 23.5%；再次为通过 PCT 渠道布局的专利，13 件，占比 16%。此外，其还在欧洲、日本、中国台湾布局了少量专利，占比均不足 5%。

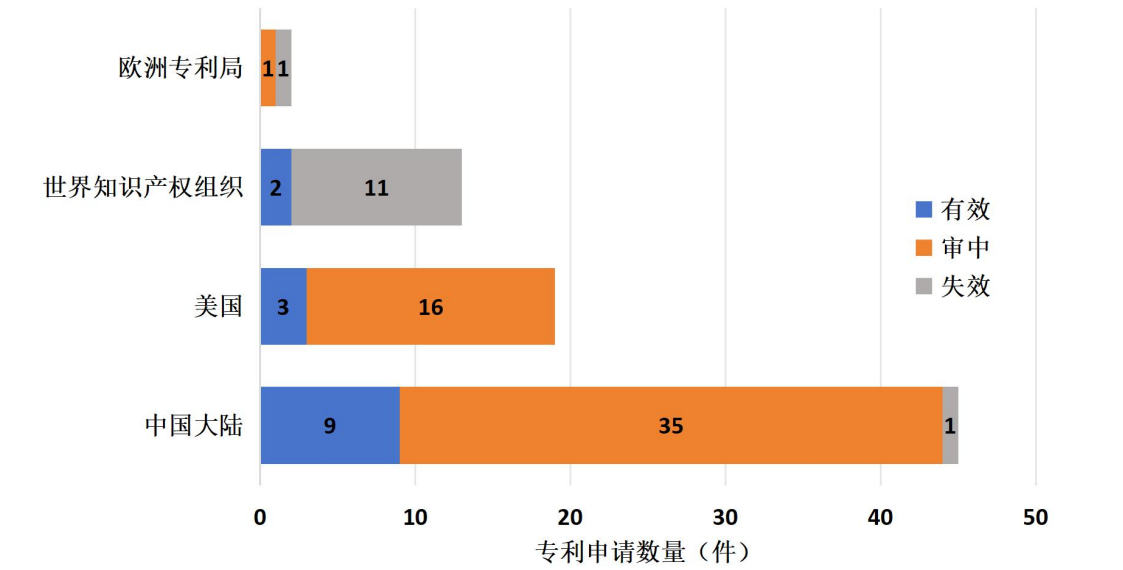


图 3-21 长鑫存储专利区域法律状态

图 3-21 为长鑫存储 HBM 相关专利的区域布局法律状态分布情况。从有效专利来看，各地区的数量均不足 10 件，其中，中国大陆的有效专利最多，9 件，其次是美国，有效专利 3 件。而审中专利占比较高，其中中国大陆 35 件，美国 16 件。整体来看，长鑫存储以审中专利为主，占比达到 66%，有效专利占比 15%。虽然起步较晚，但是 HBM 相关研发较为活跃。

4.发明人分析

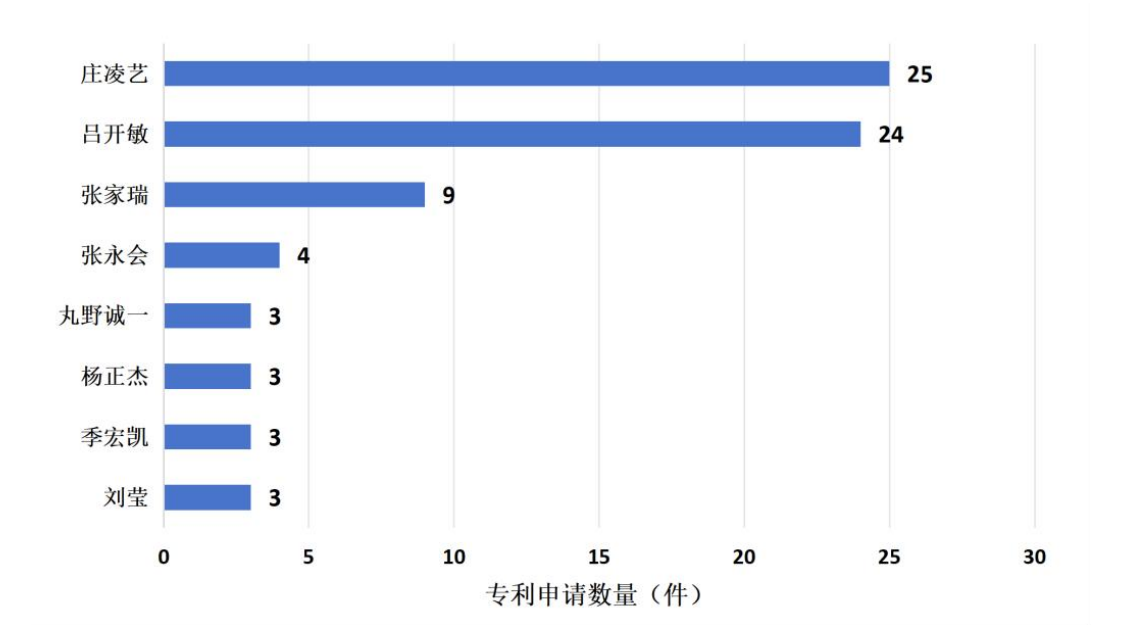


图 3-22 长鑫存储主要发明人排名

图 3-22 为长鑫存储 HBM 相关专利持有量 3 件级以上的发明人排名情况。从中可见，重点发明人庄凌艺和吕开敏以超 20 件相关专利持有量分别位居第一、第二，相关专利主要涉及封装/互连与混合键合。其余发明人相关专利持有量均不足 10 件。

5.技术分布分析

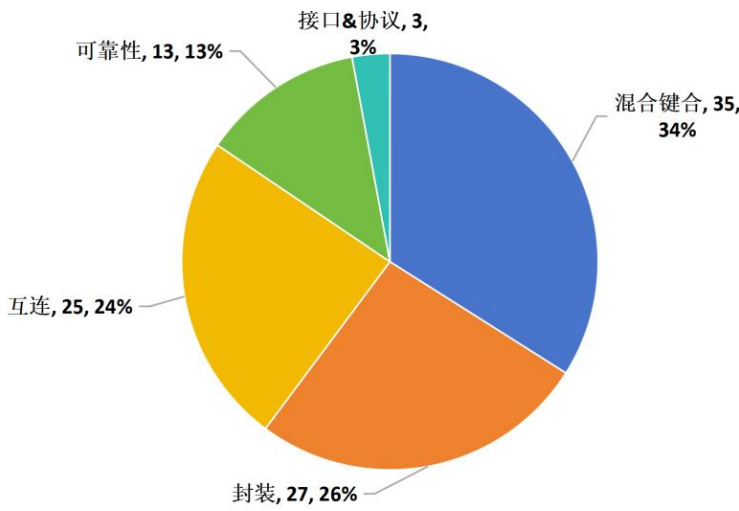


图 3-23 长鑫存储细分技术分布

图 3-23 为从细分技术角度对长鑫存储相关专利进行分类检索得到的专利分布情况。从细分技术来看，混合键合相关专利占比 34%，35 件，数量最多；互连和封装相关专利占比相当，占比在 25%左右；可靠性相关专利数量相对较少，占比 13%，13 件。接口&协议相关专利不足 5 件。

6.技术研发动向分析

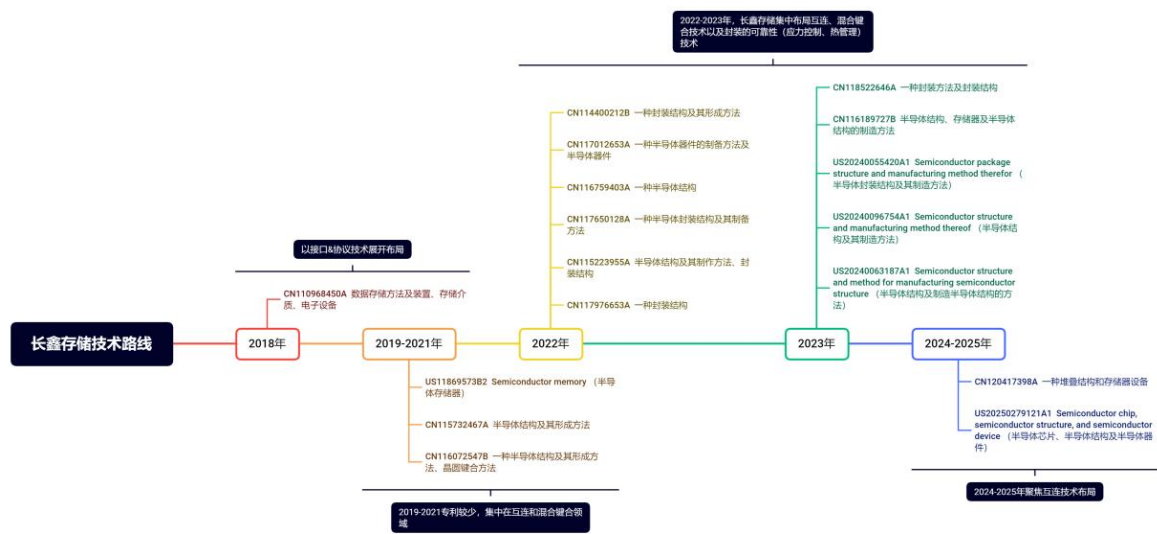


图 3-24 长鑫存储技术研发动向

图 3-24 为长鑫存储 HBM 技术研发动向情况。长鑫存储 HBM 技术的专利布局开始于 2018 年，对应的是中国专利 CN110968450A，通过将校验码划分为多个子校验码，并分别存储在不同的存储芯片上，使每个存储芯片仅存储每个校验码中的一个子校验码，从而降低多个错误对应到同一个校验码的概率，提高纠错率。

2018-2021 年，长鑫存储布局的相关专利数量不多，2021 年其相关技术集中在互连和混合键合领域，互连技术以降低功耗（US11869573B2）和提高互连密度（CN115732467A）为主要目的；混合键合的技术效果则为了减少键合偏差。

2022-2023 年为长鑫存储集中布局 HBM 相关专利的时间段。其中，2022 年，长鑫存储集中布局互连、混合键合技术以及可靠性相关专利，互连技术的技术功效以降低通信延时（CN117636917A、CN117650126A、CN117677206A、CN117673030A、CN117790444A）、缩短互连路径（CN117854550A）、提高通讯效率（CN117650128A）为主。混合键合技术的技术功效以提高对准度（CN117012653A、US12322654B2）和键合强度（CN117650124A、CN117650125A、CN117650127A）为主。可靠性相关专利主要以改善散热（CN117672990A、CN117690884A、CN115424994A、CN117976653A）为主。

2023 年，长鑫存储 HBM 相关专利的布局力度相较于 2022 年有所减弱。主要布局的细分技术仍然聚焦于互连、混合键合和可靠性领域。互连技术的主要技术效果相对于 2022 年有所增加，除了缩短互连路径（US20240055420A1）、降低通信延迟（US20240055399A1）、提高通信效率（US20240055408A1）之外，还关注互连应力的释放（CN116454050B）、信号完整性的提高（US20240096754A1）、寄生电容和电阻的降低（CN120018519A、CN120018518B、CN120109125A、CN120187037A）。混合键合技术功效以改善连接结构之间的散热（CN118522646A）以及简化工艺

(CN116189727B) 为主。可靠性相关专利仍然以改善散热为主 (CN118522646A、CN119063865A、US20240063187A1)。

2024-2025 年,长鑫存储布局的 HBM 相关专利数量较少,目前的两族相关专利均涉及互连技术,技术效果均涉及信号完整性的提高:减少数据传输延时 (CN120417398A) 以及提高数据路由效率 (US20250279121A1)。

整体来看,长鑫存储 HBM 技术主要布局在互连和混合键合领域。

3.2.2 长江存储

1.公司简介

长江存储科技有限责任公司 (YMTC) 是中国大陆 3DNAND 闪存领域的领军企业,2016 年成立于武汉,以 IDM 模式深耕存储芯片领域,同时聚焦 HBM (高带宽内存)核心配套技术突破,全球员工超 8000 人,累计申请专利超 10000 项,2025 年全球 NAND 市场份额达 8.1%,是国产存储供应链的核心力量。公司核心技术 Xtacking® (晶栈®) 架构已迭代至 4.0 版本,凭借“双晶圆混合键合”优势,不仅支撑 3DNAND 堆叠层数突破 232 层,更成为 HBM 技术突破的关键底座,其混合键合专利于 2025 年授权三星使用,标志中国存储核心技术获国际认可。

2.专利申请趋势

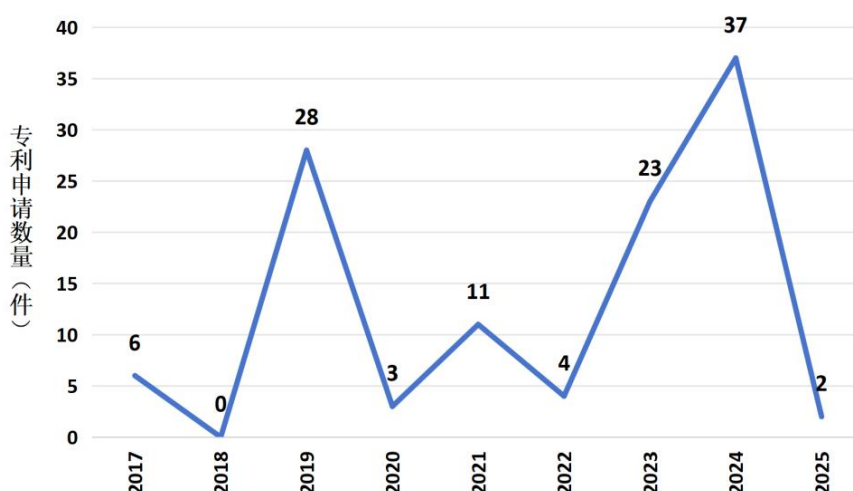


图 3-25 长江存储专利申请趋势

图 3-25 为长江存储 HBM 相关专利的申请趋势。从图中可见，其相关技术开始布局于 2017 年，但是 2020 年之前的相关技术均不是针对 HBM 技术的直接布局，属于存储类的通用技术，如三维存储器的引线工艺及封装。2020 年之后，其才对 HBM 技术进行针对性布局，其中 2024 年其 HBM 直接相关技术的布局达到峰值 37 件。2025 年，因为专利公开的滞后性，相关专利申请量的下降并不意味实际意义上的减少。

3. 专利区域和法律状态分析

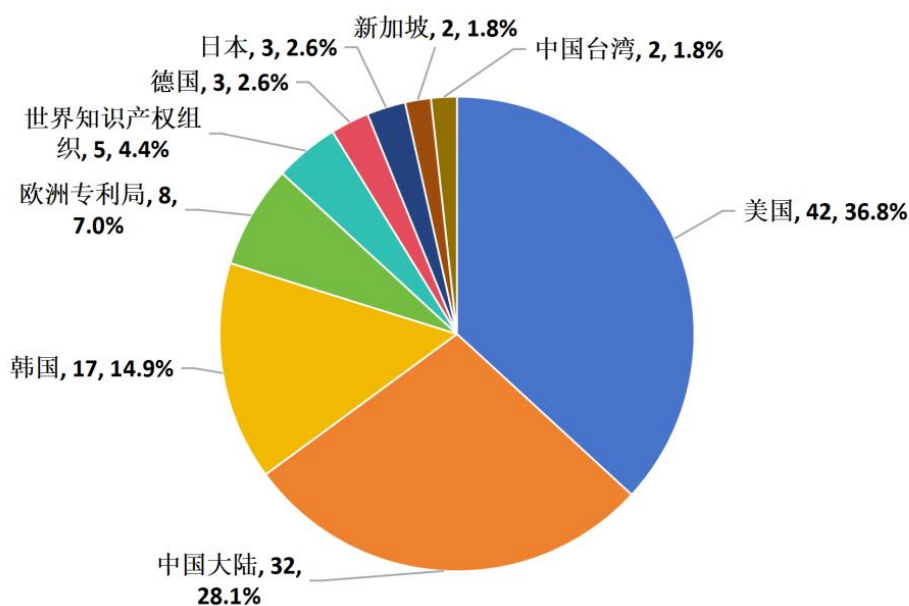


图 3-26 长江存储专利区域分布

图 3-26 为长江存储 HBM 相关专利的区域分布情况。由图可见，长江存储相关专利主要布局在美国、中国大陆以及韩国，其中美国专利最多，42 件，占比 36.8%；其次为中国大陆，32 件，占比 28.1%；再次为韩国，17 件，占比 14.9%。欧洲、德国、日本等地区的相关专利布局占比均不足 10%。

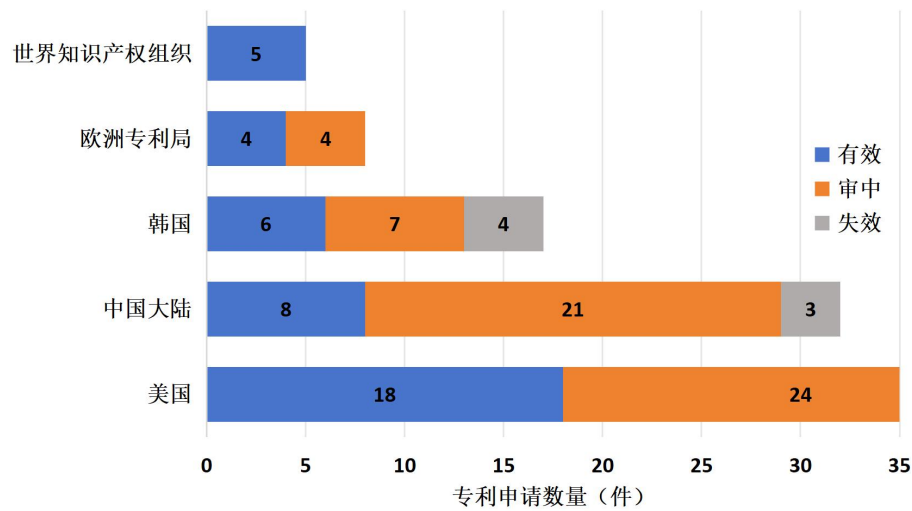


图 3-27 长江存储专利区域法律状态

图 3-27 为长江存储 HBM 相关专利的区域法律状态分布情况。从有效专利来看，美国本土的有效专利最多，18 件，中国大陆、韩国等地区的有效专利均不足 10 件。而审中专利的相对较多，其中美国 24 件，中国大陆 21 件，韩国等地区不足 10 件。整体来看，有效专利占比 35%，审中专利占比 54%，有效及审中专利累计占比近九成，HBM 技术活跃度同样维持较为活跃的状态。

4.发明人分析

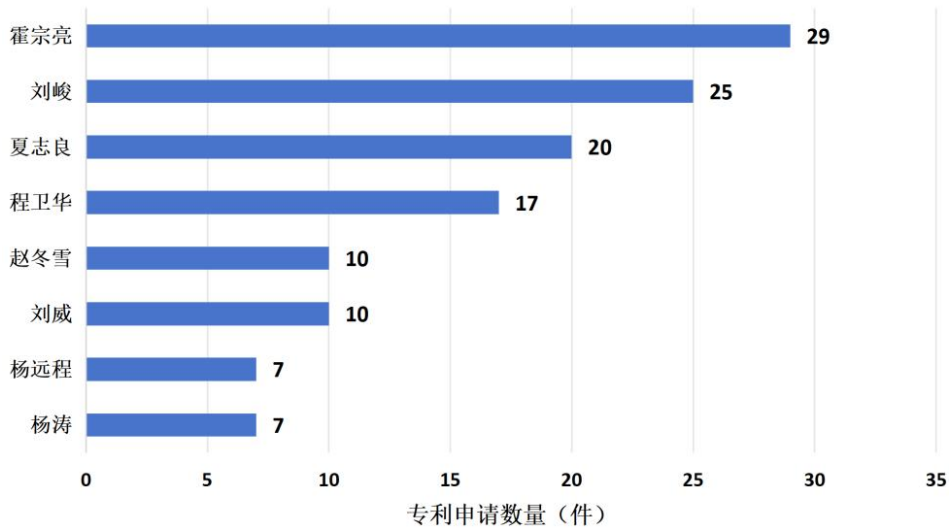


图 3-28 长江存储主要发明人排名

图 3-28 为长鑫存储 HBM 相关专利持有量 7 件级以上的发明人排名情况。从中可见，重点发明人霍宗亮、刘峻和夏志良以超 20 件相关专利持有量分别位居前三，相关专利主要涉及封装/互连与混合键合。

5.技术分布分析

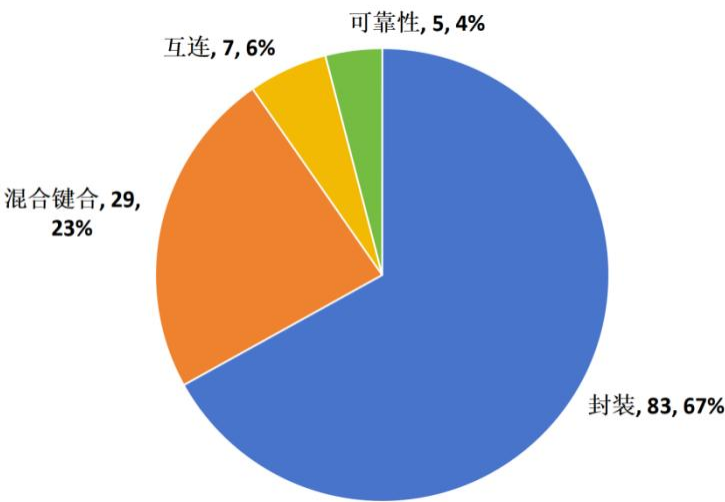


图 3-29 长江存储细分技术分布

图 3-29 为从细分技术角度对长江存储相关专利进行分类检索得到的专利分布情况。从细分技术来看，封装相关专利占比 67%，83 件，数量最多；其次为混合键合相关专利，占比 23%，29 件；互连和可靠性相关专利占比相当，占比在 5%左右。

6.技术研发动向分析

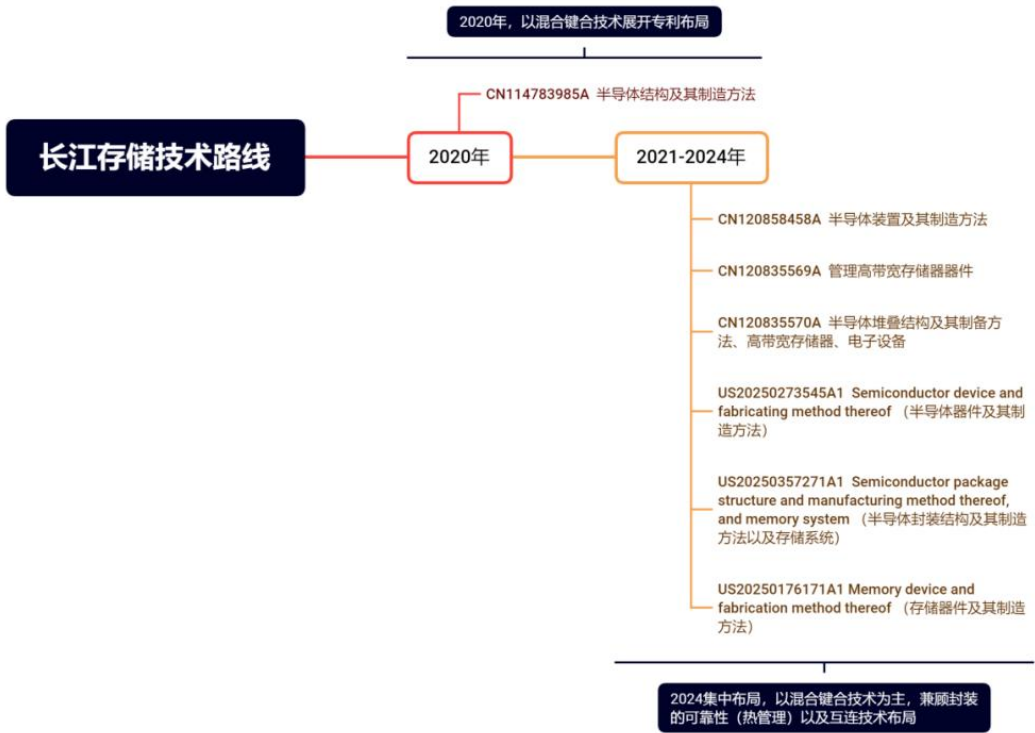


图 3-30 长江存储技术研发动向

表 3-5 为长江存储 HBM 技术研发动向情况。

长江存储虽然前期不是专注于 HBM 技术领域（国内 3D NAND 闪存领域的核心 IDM 企业），但是从 2020 年开始，其开始从混合键合领域切入 HBM 赛道，对应的是中国专利 CN114783985A，公开了一种采用混合键合技术的半导体结构，该半导体结构将管芯堆叠结构和逻辑管芯进行混合键合，减少或消除硅通孔的使用，形成管芯堆叠结构和接触区，简化了制造工艺，降低了生产成本，提高了数据传输和处理速度，同时增加了存储单元密度。

2024 年为其集中布局 HBM 相关专利的主要年份，其混合键合技术的功效主要涉及提高生产效率（CN120857513A、CN120916425A、US20250275156A1），更多从提效降本角度出发。可靠性相关专利主要是解决堆叠管芯的散热问题，主要是利用一些散热结构，如导热层（CN120858458A、US20250273545A1）、导热体（CN120977965A）。

整体来看，其 HBM 相关技术以混合键合、可靠性以及互连相关专利为主。

3.2.3 长电科技

1. 公司简介

长电科技是全球领先的半导体封装测试企业，1972 年创立于江苏江阴，总部位于江阴并在韩国、新加坡等地布局全球化封测基地，是国内半导体封测行业的龙头企业，2025 年全球封测市占率约 12%，稳居全球前三，核心业务覆盖传统封装、先进封装（SiP、2.5D/3D、Fan-out 等），服务全球超 500 家半导体客户，是连接芯片设计与制造的关键产业链环节。

其先进封装技术是核心竞争力，而 HBM（高带宽内存）封装是近年战略攻坚方向，相关技术与产能处于行业第一梯队，核心亮点包括：1.HBM 专属封测工艺：掌握 TSV（硅通孔）加工、2.5D 中介层集成、多层芯片堆叠等 HBM 核心技术，可支持 HBM2e 至 HBM4 全系列产品；其中 HBM3 封装采用自研“高精度热压键合技术”，实现 12 层 DRAM 芯片稳定堆叠，良率达 78%（行业平均约 70%），单颗封装带宽可匹配 5.3TB/s 的 HBM3 性能需求；2.产能与效率优势：在江阴、韩国仁川基地布局 HBM 专用产线，2025 年月产能达 15 万颗 HBM 封装件，可

承接三星、SK 海力士的量产订单,同时通过工艺优化将 HBM 封装周期缩短 15%;

3.国产化配套能力:为长鑫存储的 HBM3 样品提供封测支持,适配其 DRAM 芯片的堆叠需求,同时与长江存储协同验证 HBM 混合键合封装方案,是国内 HBM 产业链封测环节的核心支撑力量。

4.合作伙伴方面,长电科技是三星、SK 海力士的 HBM 封装核心供应商之一,同时深度绑定国内存储厂商(长鑫、长江存储)及 AI 芯片企业(华为昇腾),其 HBM 封测能力既支撑国际客户的高端算力需求,也为国产 HBM 的量产落地提供了关键的封测保障,是全球 HBM 供应链中不可或缺的封测环节参与者。

2.专利申请趋势

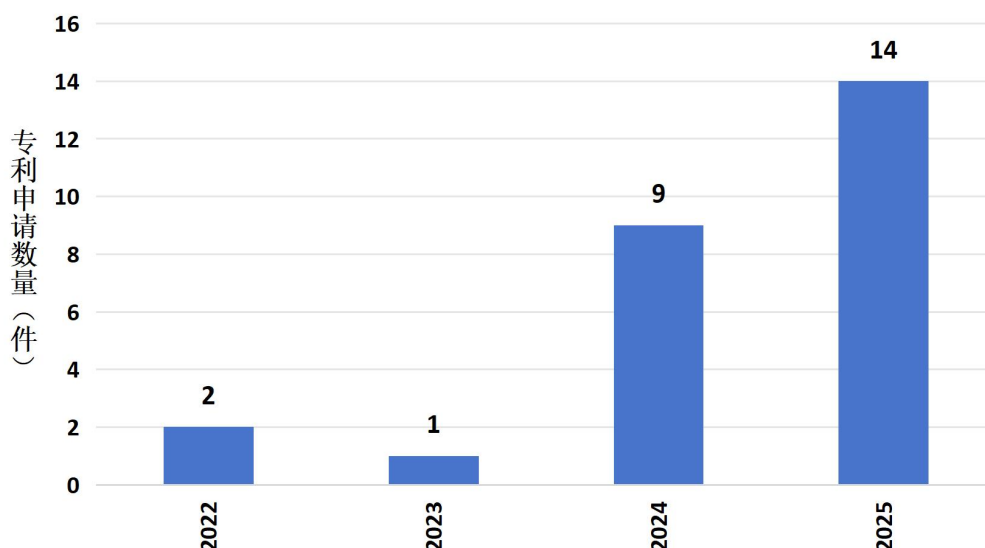


图 3-31 长电科技专利申请趋势

图 3-31 为长电科技 HBM 相关专利的申请趋势。从图中可见,其相关技术的布局集中在 2022 年及之后。2024-2025 年集中布局,2025 年申请量突破 10 件。2024 年 AI 大模型算力需求激增,HBM 成为高端服务器的核心瓶颈,全球 HBM 产能缺口扩大,同时国内长鑫存储、长江存储的 HBM 国产化项目进入落地阶段;长电科技将 HBM 封测列为战略业务,同步启动江阴、韩国仁川基地的 HBM 专用产线建设(2025 年月产能达 15 万颗),既支撑对三星、SK 海力士的国际客户订单,也匹配国内存储厂商的 HBM 样品封测需求。随着后续申请专利的公开,2025 年的实际相关专利申请量会高于目前统计水平。

3.专利区域和法律状态分析

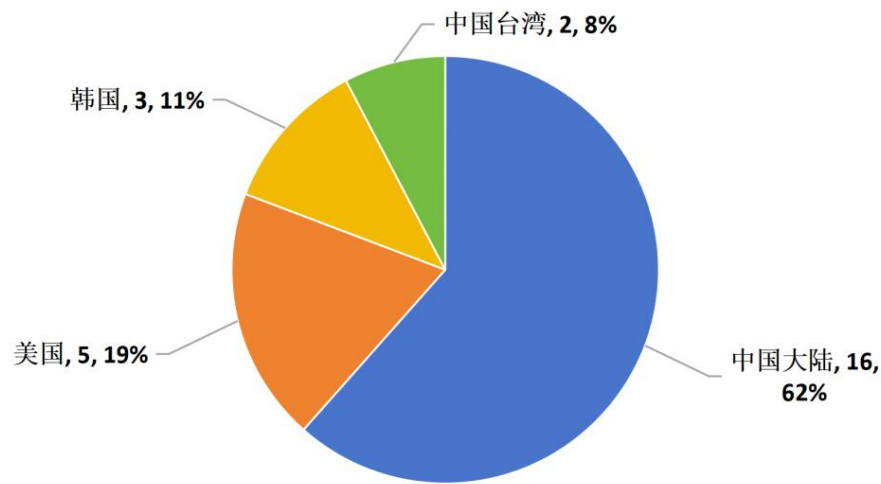


图 3-32 长电科技专利区域分布

图 3-32 为长电科技 HBM 相关专利的区域分布情况。由图可见，长电科技相关专利以中国大陆本土布局为主，占比达到六成；其次为美国，占比近两成；韩国和中国台湾占比一成左右。

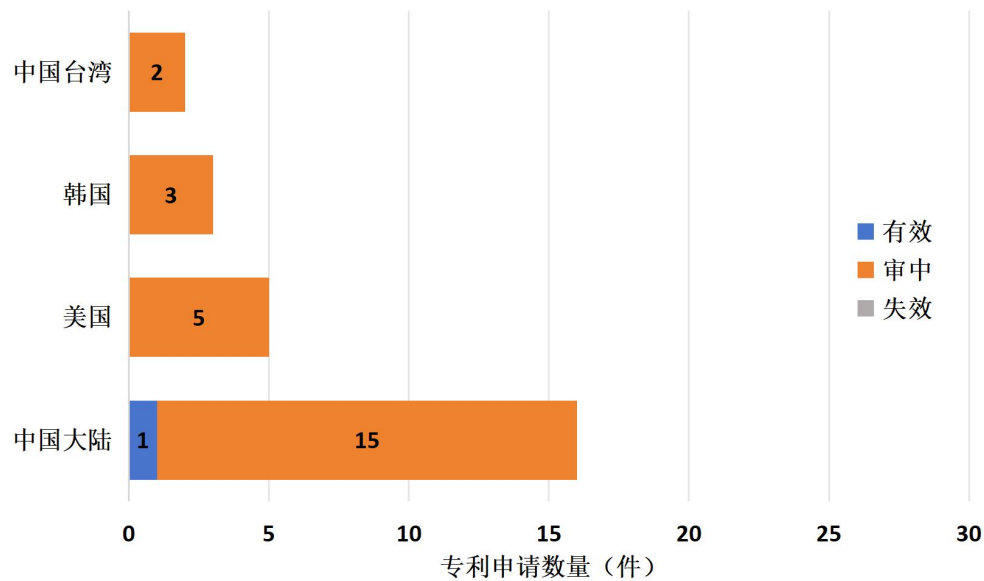


图 3-33 长电科技专利区域法律状态

图 3-33 为长电科技 HBM 相关专利的区域法律状态分布情况。从图中可见，其绝大部分专利目前尚处于审中状态，有效专利目前仅有一件。不过随着后续审查程序的推进，部分专利有望获得授权，有效专利的数量会明显增加。

4.发明人分析

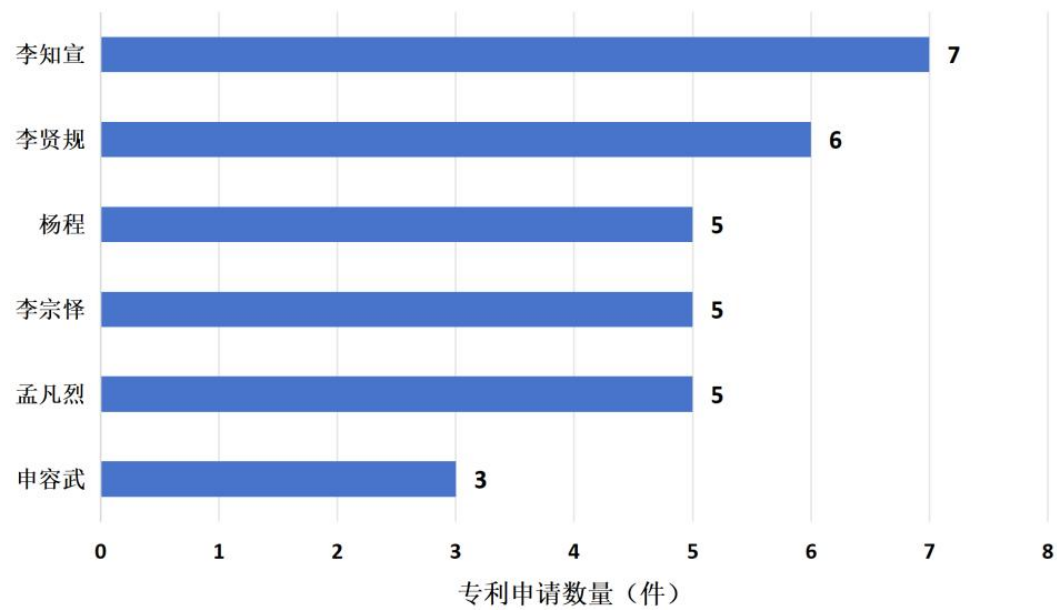


图 3-34 长电科技主要发明人排名

图 3-34 为长电科技 HBM 相关专利持有量 3 件级以上的发明人排名情况。从中可见，重点发明人李知宣和李贤规分别以 7 件和 6 件相关专利位居第一、第二，涉及的技术均以可靠性为主。

5.技术分布分析

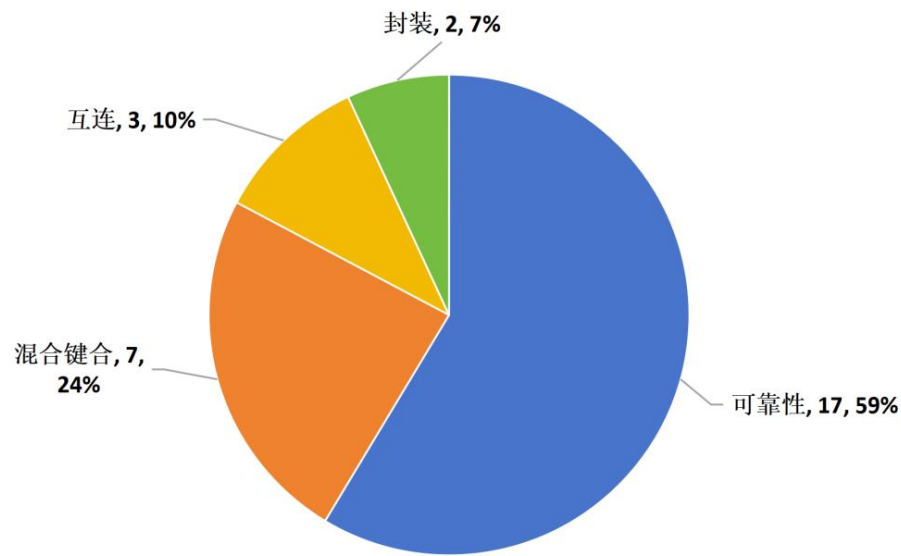


图 3-35 长电科技细分技术分布

图 3-35 为从细分技术角度对长电科技相关专利进行分类检索得到的专利分布情况。从细分技术来看，可靠性专利占比 59%，17 件，数量最多；其次为混合键合相关专利，占比 24%，7 件；互连与封装相关专利数量较少，均不足 5 件。

6.技术研发动向分析



图 3-36 长电科技技术研发动向

图 3-36 为长电科技 HBM 技术研发动向情况。

长电科技作为中国大陆的龙头封测厂商，其 HBM 技术多涉及封装领域。其布局的专利大多数以保证封装结构的可靠性以及混合键合为主。其封装结构可靠性的相关专利开始布局于 2022 年，2022-2023 年布局数量不多，集中布局在 2024-2025 年。保证封装可靠性的相关专利大部分涉及改善封装结构的散热，具体是通过一些散热结构，如导热通道（US20230170267A1）、导热体（US20230170274A1）、冷却流体（CN120280418A）、热界面材料（CN117373930A、CN120300079A）等；此外还涉及应力控制，如通过散热胶贴装减少翘曲（CN222421962U）、通过匹配材料的热膨胀系数减少应力（CN120955051A）、通过缓冲粘结层降低应力提高机械稳定性（CN120977997A）。

长电科技的混合键合相关专利的布局均集中在 2025 年，主要功效涉及减小互连间距并降低封装厚度（CN119947126A）、提高键合灵活性及生产效率（CN120878639A）、提高键合质量（CN120878638A、CN120954989A）。

3.3 上海主要权利人

3.3.1 上海壁仞科技

1. 公司简介

上海壁仞科技股份有限公司（简称“壁仞科技”）是 2019 年成立于上海，2026 年 1 月 2 日在港交所上市（股票代码 06082.HK）的“港股 GPU 第一股”，专注于自主研发 GPGPU 及 AI 加速芯片（核心产品为壁砺™BR100 系列），以原创迅推一体架构与 Chiplet 技术为核心，为 AI 训练、推理及高性能计算提供全场景智能计算解决方案，是国产 GPU 第一梯队企业（“国产 GPU 四小龙”之一）。

2. 专利申请趋势

图 3-37 为壁仞科技相关专利申请趋势。其相关专利的申请开始于 2021 年，随后的专利申请数量较少，2022 年、2024 年以及 2025 年各申请一件，发展较为缓慢。

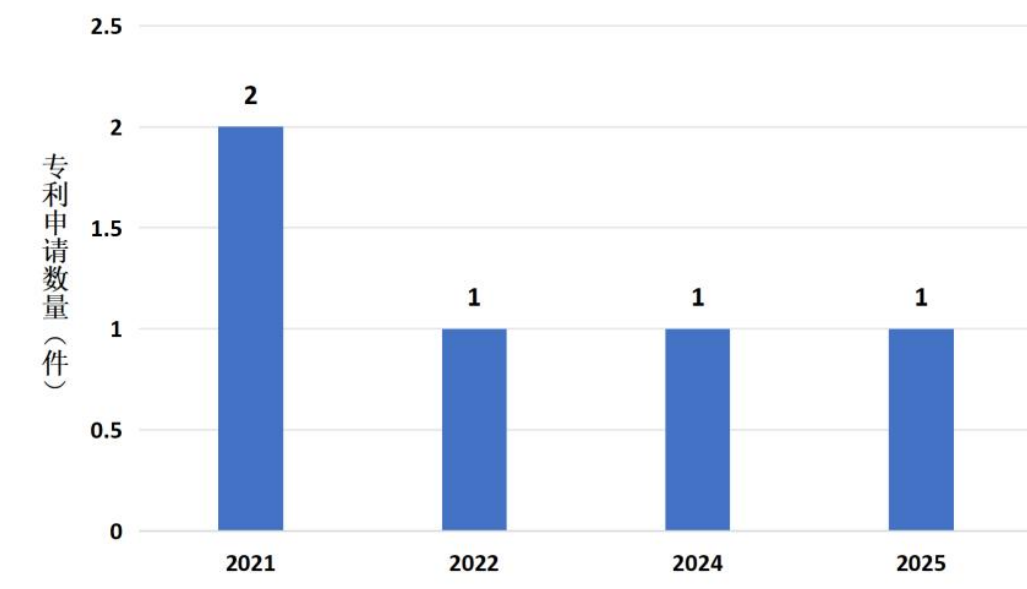


图 3-37 壁仞科技专利申请趋势

3. 专利区域和法律状态分析

图 3-38 为壁仞科技相关专利的地域及法律状态分布情况。由图可见，其申请的五件相关专利，中国大陆三件，均处于有效状态。欧洲及美国各一件，分别处于审中和有效状态。

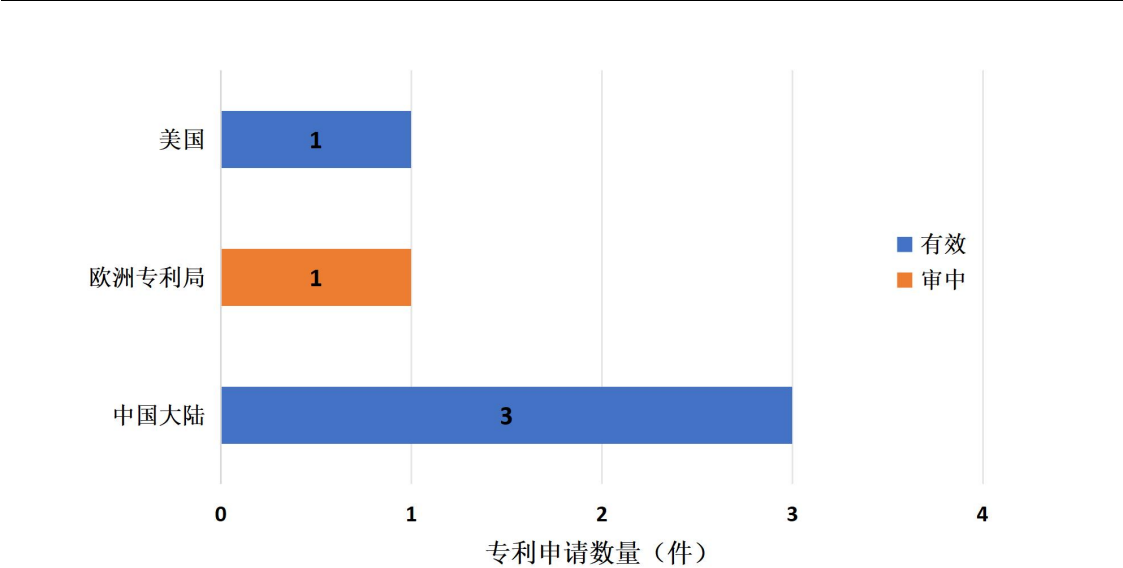


图 3-38 壁仞科技专利区域法律状态

4.主要发明人

图 3-39 为壁仞科技目前公开发明人的两件专利的发明人，分别是 ZHANG, LINGLAN 和 GU, SHIQUN, 该两位发明人持有的相关专利均涉及混合键合技术。其余三件相关专利发明人均未被公开。

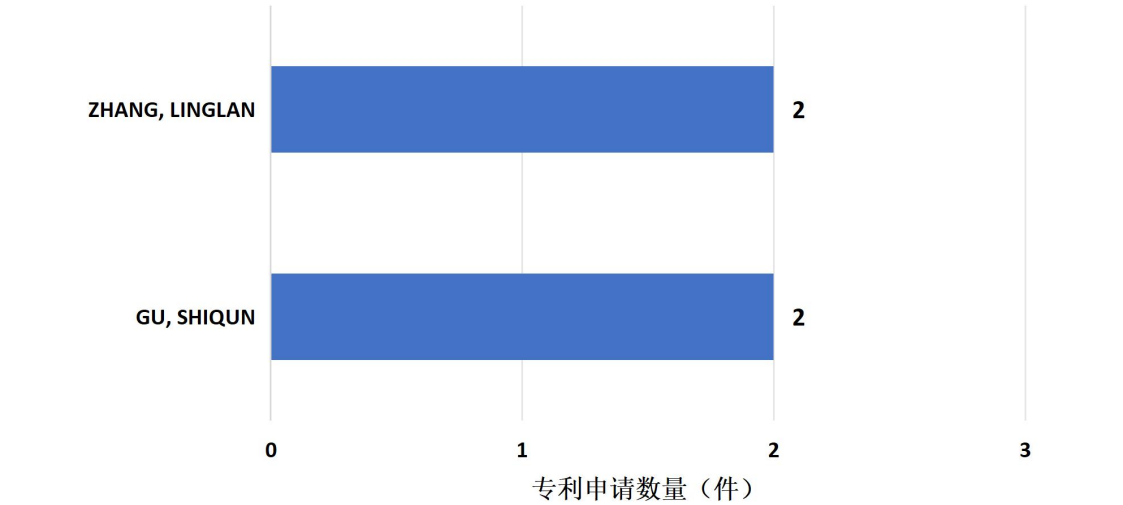


图 3-39 壁仞科技主要发明人

5.技术分布分析

图 3-40 为壁仞科技目前申请的五件相关专利的细分技术分布情况。由图可见，三件与混合键合技术相关，两件涉及封装技术，互连和可靠性相关专利各一件。

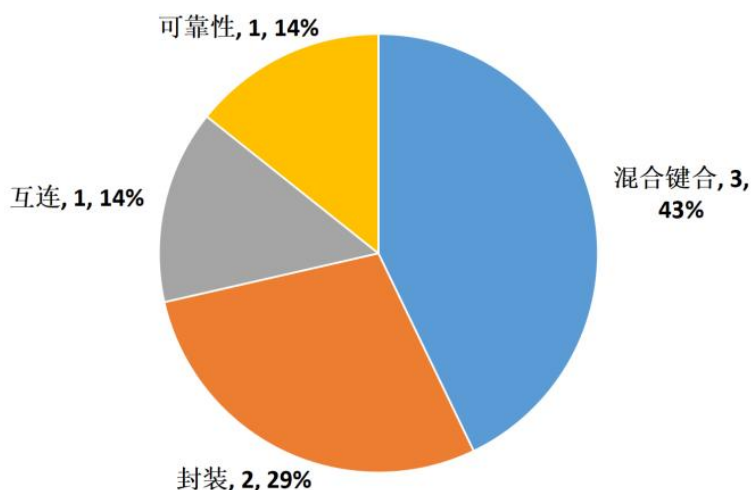


图 3-40 璧仞科技细分技术分布

6. 技术动向分析

图 3-41 为璧仞科技自 2021 年布局相关专利以来的研发动向情况。

2021-2022 年布局的三件专利均涉及混合键合技术，均涉及使用混合键合技术连接多个逻辑核心和存储器芯片，节省电路布线空间并提高集成密度。

2024 年、2025 年申请的两件相关专利分别涉及封装/互连和封装/可靠性技术。其中 2024 年申请的 CN221057427U 涉及一种封装结构，将光模块和电子芯片模块集成在一起，通过封装基板和中介层电连接，缩短信号传输距离，并降低封装难度和成本。2025 年申请的 CN119673796B 涉及一种芯片失效分析方法、装置及电子设备，通过对堆叠封装芯片的正面和背面分别进行热点定位，结合基板减薄和失效复现处理，逐步确定失效点的位置信息，提高了芯片失效分析的成功率，能够更准确地定位和分析堆叠封装芯片的失效点。



图 3-41 璧仞科技技术动向

3.3.2 上海先方半导体

1.公司简介

上海先方半导体有限公司（以下简称“先方半导体”）是 2017 年 4 月成立于上海、华进半导体封装先导技术研发中心集团独资企业，专注于半导体先进封装技术（三维堆叠、混合键合、TSV 等 HBM 核心技术）研发与 M3EM 多尺度电磁仿真工具开发，拥有 200 余项专利。

2.专利申请趋势

图 3-42 为先方半导体专利申请趋势。其相关专利申请开始于 2021 年,2021 年、2024 年零星布局三件相关专，申请量较低。

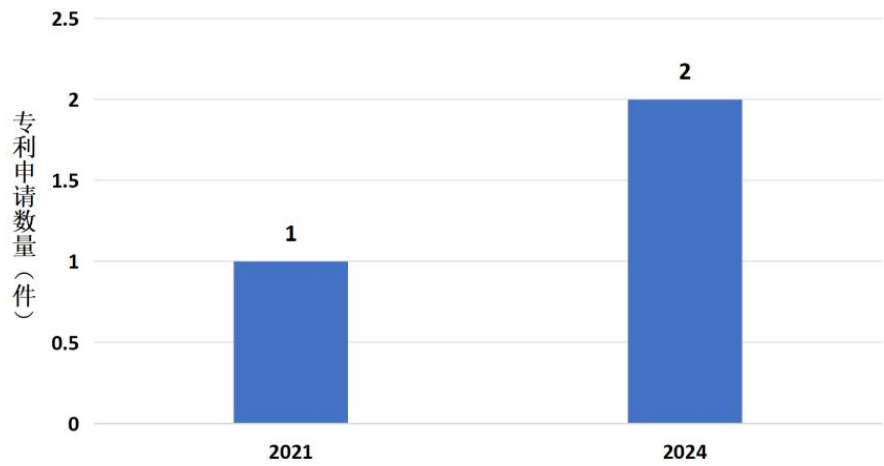


图 3-42 先方半导体专利申请趋势

3.专利区域和法律状态分析

图 3-43 为先方半导体在中国大陆的三件相关专利法律状态情况。其目前申请的三件相关专利中两件处于审中状态，一件处于有效转态。

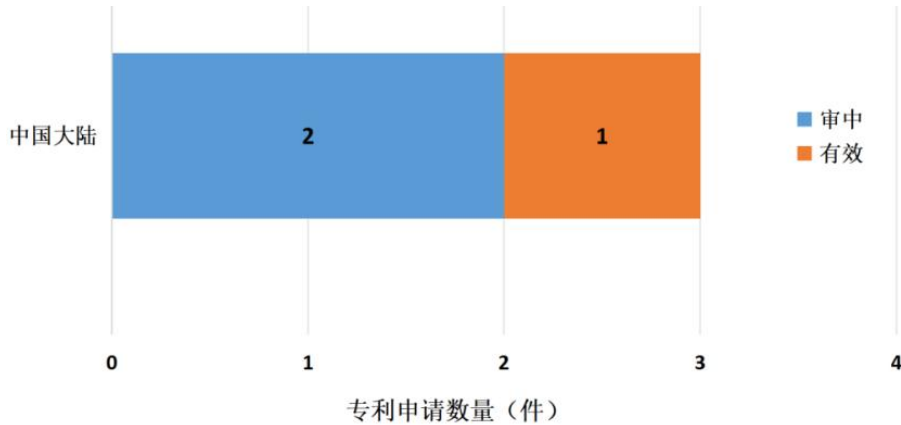


图 3-43 先方半导体专利区域法律状态

4.主要发明人

图 3-44 为先方半导体目前申请的三件相关专利的发明人情况。四位发明人目前各持有一件专利。

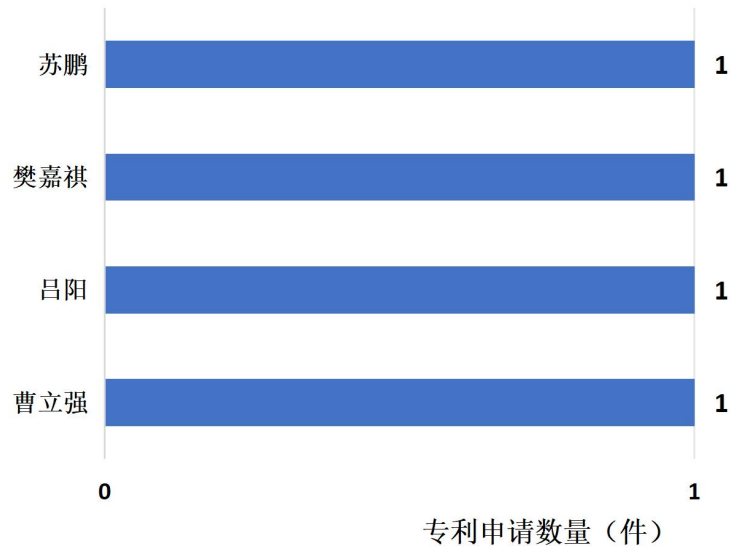


图 3-44 先方半导体主要发明人

5.技术分布分析

图 3-45 为先方半导体目前三件专利的细分技术分布情况。从图中可见，封装、互连、混合键合技术相关各两件，可靠性相关专利一件。

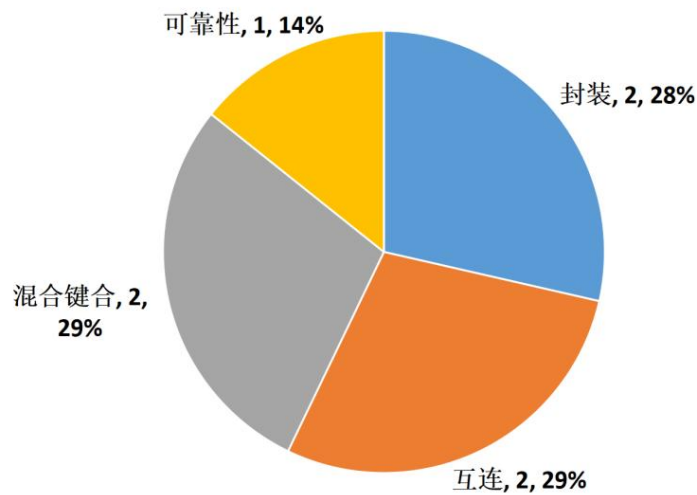


图 3-45 先方半导体细分技术分布

6.技术动向分析

图 3-46 为先方半导体自 2021 年布局相关专利以来的研发动向情况。

先方半导体 2021 年布局的专利 CN112908860B，公开了一种高带宽内存结构及其制作方法，涉及可靠性（热管理）技术，采用三维蜂窝状微槽道的水冷散热系统，通过在散热盖体上附连水冷散热系统，使导热管穿过散热盖体直至芯片表面，利用流动的制冷液在微槽道中带走热量，结合单向导电的垂直热管直接传递热量。

2024 年申请的两件专利均涉及封装/互连/混合键合技术，其中专利 CN118613062A 公开了一种构造多芯片封装结构的方法及多芯片封装结构，构造三维集成深沟槽电容器，并通过双面互连的高带宽存储芯片和系统级芯片，结合硅晶圆的堆叠和混合键合焊盘技术，形成多芯片封装结构，实现电源去耦和高速互连。专利 CN118475133A 公开了一种三维堆叠封装结构及其制造方法，采用包含硅通孔结构的芯片模块作为桥梁连接多个芯片模块，通过混合键合或热压键合实现电连接，减少封装体积和互连距离，使用环氧树脂作为塑封材料，取消额外的硅通孔制作。



图 3-46 先方半导体技术动向

3.4 权利人对比分析

表 3-1 为以上六家主要权利人技术及专利布局情况对比。

从成立时间来看，中国大陆除长电科技成立时间较早之外，长鑫存储和长江存储成立时间均在 2016 年。韩国的三星成立时间最早，其次是中国大陆的长电

科技。随后美光科技和爱思开海力士相继成立。上海的两家头部企业成立时间较晚，均处于长鑫存储和长江存储之后。

从专利角度看，三星的相关专利数量最多，并且近五年的技术活跃度高达 71%。核心专利数量也逼近 400 件，其核心专利以及有效专利数量均位列第一；相关技术以接口&协议、可靠性、互连技术为主。美光科技以 698 件相关专利位列第二，近五年技术活跃度 57%，核心专利数量也仅次于三星。爱思开海力士的相关专利总申请量虽然不如三星和美光科技，但是其市场占有率却超三星，2025 年前三季度其市占率达到 57%，三星和美光科技分别为 22%和 21%。国内的长鑫存储、长江存储以及长电科技虽然在相关专利总申请量上远不如国际三家权利人，但是发展较为迅速，近五年的技术活跃度均在 68%及以上。比较来看，上海的两家头部企业相关专利数量较少，与长鑫存储、长江存储差距较大，相关技术主要集中在封装、互连、混合键合细分领域。

从主要布局领域来看，国际三家权利人的细分技术均涉及接口&协议，而国内的三家主要权利人以及上海的两家头部权利人倾向于制造端（混合键合、互连、封装以及可靠性）。

表 3-1 各主体对比情况

公司名称	爱思开海力士	三星	美光科技	长鑫存储	长江存储	长电科技	璧仞科技	先方半导体
总部	美国	韩国	美国	中国大陆	中国大陆	中国大陆	中国大陆（上海）	中国大陆（上海）
成立时间(年)	1983	1969	1978	2016	2016	1972	2019	2017
主要技术	HBM3E 芯片技术、12 层芯片堆叠封装、高精度铜柱凸点互连技术、混合键合工艺	HBM3E 12 层堆叠封装技术、Z-NAND 替代技术研发、混合键合技术	HBM3E 铜硅混合键合封装技术、优化 TSV 互连技术、Cu-Cu 混合键合技术	HBM3 封装堆叠与互连技术研发、DDR 系列内存技术	HBM3 10 层堆叠封装技术、TSV 工艺与凸点设计优化、3D NAND 闪存技术	HBM3 10 层堆叠封装技术、互连凸点工艺优化、热管理方案设计、XDFOI Chiplet 封装方案	原创 SIMT 架构、专用张量引擎 T-core、Chiplet 多芯片互连、BLink 互连技术	背对面晶圆级混合键合（ $\leq 300^{\circ}\text{C}$ ）、TSV 制备、高密度布线堆叠、HBM 封装、三维堆叠、混合键合、扇出型封装、临时键合/解键合
主要产品	HBM3E 高带宽存储芯片、DRAM、NAND 闪存、企业级 SSD 等	HBM3E 高带宽存储芯片、DDR 系列内存、3D NAND 闪存、各类半导体芯片及电子终端产品	HBM3E 高带宽存储芯片、DRAM、NAND 闪存、企业级存储解决方案等	DDR4/DDR5 内存芯片、LPDDR5 系列产品、HBM3 高带宽存储芯片	HBM3 高带宽存储芯片、32 层/64 层/128 层 3D NAND 闪存芯片	HBM 封装产品、Chiplet 集成封装模块、各类半导体封装测试解决方案	通用 GPU 芯片(壁砺™系列)、硬件系统（PCIe 板卡、OAM 模块、服务器整机）、软件平台（BIRENSUPA AI 计算平台、BIRENCUBE 云管理平台）	M3EM 多尺度仿真平台：SI(信号完整性)、PI(电源完整性)、EMI、TSV 专用模块
总计专利公开量	132	1449	698	81	114	26	5	3

近 5 年 专利公 开量	54	1028	396	79	77	26	5	3
技术活 跃度 (近 5 年/总 计)	41%	71%	57%	98%	68%	100%	100%	100%
专利价 值>5 0000 0\$之 核心专 利数量	34	392	226	0	34	0	0	0
法律状 态	有效: 70 在审: 47	有效: 534 在审: 858	有效: 310 在审: 244	有效: 13 在审: 52	有效: 43 在审: 59	有效: 1 在审: 25	有效: 4 在审: 1	有效: 1 在审: 2
主要目 标市场	韩国、美国、 中国大陆、中 国台湾	美国、韩国、 中国大陆、欧 洲、中国台湾	美国、中国大 陆、韩国、欧 洲、中国台湾	中国大陆、美 国、欧洲	美国、中国大 陆、韩国、欧洲	中国大陆、美 国、韩国、中 国台湾	中国大陆、美国、 欧洲	中国大陆
中国大 陆布局 专利数 量(件)	28	242	148	45	32	16	3	3
主要技 术布局	互连、接口& 协议	接口&协议、 可靠性、互连	接口&协议、 互连	混合键合、封 装、互连	封装、混合键合	可靠性、混合键 合	混合键合、封装	封装、互连、混合 键合

3.5 本章小结

HBM 技术领域形成“韩美龙头稳固、国内快速追赶”的竞争格局，全球三大权利人（SK 海力士、三星电子、美光科技）与国内三大权利人（长鑫存储、长江存储、长电科技）在申请趋势、区域策略、细分技术布局上呈现显著差异，技术路径与市场定位各有侧重。

从申请趋势来看，全球主要权利人起步更早、积累深厚。爱思开海力士 2011 年起步，2018 年后随 HBM2E 量产进入布局高峰，核心专利聚焦互连与可靠性技术；三星电子 2004 年即启动专利布局，2014 年后进入商业化扩张期，2024 年专利申请量达 356 件，近五年技术活跃度 71%；美光科技 2005 年开始技术储备，2017 年后伴随 AI 需求激增进入快速增长期，2024 年专利量突破 116 件。国内主要权利人虽起步较晚但增速迅猛，长鑫存储 2018 年起申请，2022-2023 年集中布局，近五年技术活跃度 98%；长江存储 2017 年启动相关布局，2024 年针对性申请达 37 件；长电科技 2022 年后聚焦 HBM 封测，2025 年申请量突破 10 件，技术活跃度 100%，均展现出强劲的追赶态势。比较来看，上海头部权利人壁仞科技、先方半导体 HBM 相关专利申请量较少，累计专利申请量均不足 10 件，与长鑫存储和长江存储相比差距较大。

从区域布局来看，全球主要权利人侧重全球化覆盖，构建多区域专利壁垒。三星电子重点布局美国（占比 37.3%）、韩国（占比 30.8%），同时辐射欧洲、中国台湾等 8 个地区；爱思开海力士聚焦韩国（占比 37.9%）与美国（占比 37.1%），中国大陆布局占比 21.2%；美光科技以美国本土（占比 45.6%）为核心，通过 PCT 渠道布局占比 13.8%，全球化布局均衡。国内权利人以本土布局为核心，海外拓展逐步加强：长鑫存储中国大陆专利占比 55.6%，美国布局占 23.5%；长江存储兼顾美国（占比 36.8%）与中国大陆（占比 28.1%），韩国布局占比 14.9%；长电科技 62% 专利集中于中国大陆，美国、韩国布局占比不足三成，海外市场专利覆盖仍有待完善。上海头部权利人壁仞科技相关专利布局涉及中国

大陆本土、美国以及欧洲，但是因为总体专利数量较少，各地区布局的专利量均不足五件。先方半导体目前的三件专利均为中国专利。

从细分技术布局以及研发动向来看，各权利人基于自身产业链定位形成差异化优势。全球权利人覆盖全产业链核心环节：爱思开海力士的相关专利侧重互连（占比 36%）与接口&协议（占比 20%）布局；其中，互连技术重点突破数据传输效率、测试电路优化，支撑 12 层堆叠的信号同步；接口&协议聚焦总线接口改进与多模式兼容，降低开发成本；可靠性以热管理、阻抗匹配为核心，保障量产稳定性；封装技术围绕 TSV 互连与散热结构优化。三星电子的相关专利以接口&协议技术（占比 31%）为核心布局，全面布局互连、可靠性等五大技术；其中，接口&协议聚焦通信标准适配（如 HBM4 接口优化）、服务器数据交换协议升级，是技术壁垒最高的布局方向；可靠性重点突破热管理与应力控制，适配 12 层以上堆叠需求；互连技术侧重 TSV 精度提升与信号完整性优化，支撑高带宽传输；封装技术聚焦多芯片堆叠的热管理与应力平衡。美光科技的相关专利聚焦接口&协议（占比 39%）与互连（占比 27%）；其中，接口&协议以带宽提升、延迟降低为核心，优化 DDR 接口与多通道协同，适配 AI 加速器场景；互连技术聚焦 TSV 冗余设计、凸点工艺优化，提升信号传输效率与良率；混合键合聚焦键合对准与良率控制，封装侧重小型化与集成密度，可靠性则围绕热管理与电源完整性展开。

国内三家主要权利人瞄准制造端实现差异化突破：长鑫存储的相关专利以混合键合（占比 34%）为核心布局，同步布局封装（占比 26%）与互连（占比 24%）技术；其中，混合键合重点突破键合对准精度、键合强度与工艺简化，适配量产需求；封装技术聚焦堆叠结构优化与空间利用率提升；互连技术围绕降低延迟、减少寄生参数、释放应力展开；可靠性以散热结构设计为主。长江存储的相关专利聚焦封装（占比 67%）与混合键合（占比 23%），依托 Xtacking® 架构形成技术特色；其中，封装技术聚焦堆叠密度提升、散热结构优化与小型化设计，支撑多芯片集成；混合键合围绕提效降本展开，优化晶圆键合工艺与堆叠稳定性；可靠性以导热层、导热体设计为主，解决堆叠管芯散热问题。长电科技的相关专

利以可靠性（占比 59%）为重点，混合键合（占比 24%）技术支撑封测环节国产化；其中，可靠性以散热优化（导热通道、冷却流体、热界面材料）与应力控制为核心，保障封装稳定性；混合键合聚焦异质材料键合、键合质量与生产效率提升，适配 HBM 封测需求。

上海头部的两家权利人目前的相关技术以封装、互连以及混合键合为主，其中混合键合技术多与封装和互连技术结合布局，缩短互连距离、提高互连速度或数据计算/传输效率等；可靠性技术仍然关注芯片的散热问题。通过内的三家权利人，上海头部权利人相关技术目前还未涉及接口&协议细分技术分支。

第四章 HBM 特定技术专题分析

本章主要针对 HBM 技术的五个主要方向：3D 堆叠、混合键合、热管理和可靠性、接口&协议以及设备和材料进行分析，其中 3D 堆叠包括封装和互连技术，分别对以上五个主要方向予以介绍，深入剖析各技术分支不同权利人重点专利。

4.1 3D 堆叠

4.1.1 技术简介

HBM（高带宽内存）的 3D 堆叠技术，是 HBM 实现“高带宽、小尺寸、低功耗”核心优势的关键技术，指将多层 DRAM（动态随机存取存储器）芯片以垂直堆叠的方式整合，替代传统平面布局，通过硅通孔（TSV）实现层间高速互联的先进封装技术。

HBM 的 3D 堆叠并非简单的芯片堆叠，需依赖三个核心组件协同实现：

（1）DRAM 芯片层：通常选择超薄 DRAM 芯片（厚度仅几十微米），每层芯片包含完整的存储单元与控制电路；

（2）TSV（硅通孔）：贯穿每一层 DRAM 芯片的微小导电孔（直径仅几微米），是层间数据传输的“垂直通道”——替代传统平面金线键合，将数据传输路径从“毫米级”缩短至“微米级”，大幅降低信号损耗与延迟；

（3）中介层（Interposer）：位于 HBM 芯片堆与处理器之间的薄硅片，集成高密度互联线路，负责将堆叠后的 HBM 芯片堆与处理器的接口连接，实现“处理器-内存”的紧耦合，进一步提升数据传输带宽。

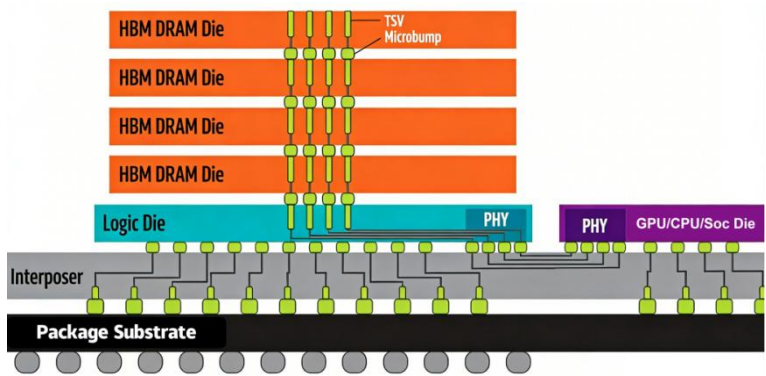
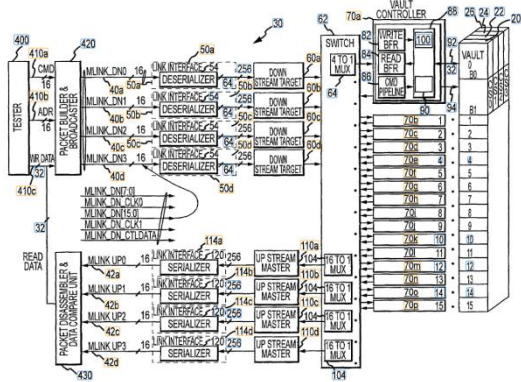


图 4-1 3D 堆叠封装

4.1.2 重点专利解读

以下重点专利是综合专利的同族专利被引用数量、IPC 分类号数量、是否涉及专利运营（如质押、许可等）、权利人行业定位等因素挑选得出。

1. 专利解读之 US8799726B2

申请号	US13/180301	申请日	2011-07-11	同族专利被引用专利数量	132
公开号	US8799726B2			法律状态/事件	授权 质押
标题	Method and apparatus for testing high capacity/high bandwidth memory devices (用于测试大容量/高带宽存储器件的方法和装置)				
申请(专利权)人	美光科技公司				
IPC 分类号	G11C29/00 G11C29/26 G11C29/56				
发明目的	大容量、高带宽存储器件架构,具有通过宽总线连接的堆叠 DRAM 芯片,具有管理数据串行化和反序列化的逻辑芯片,以及数据包生成器和广播器,可通过重新格式化测试信号来使用传统设备进行测试。				
主要附图					
第一权利要求	1. A method of testing a plurality of stacked memory device dice coupled to a logic circuit die and being configured for access according to a plurality of vaults, the method comprising: receiving, at the logic circuit die, a write command signal from a first unidirectional interface, a first address signal from a second unidirectional interface, and write data from a bidirectional interface; combining the write command, the first address signal, and the write data into a write packet; broadcasting the write packet to the plurality of the vaults; writing the write data to a location corresponding to the first address signal in each of the plurality of the vaults; receiving at the logic circuit die a read command signal and a second address signal from the respective separate interfaces; combining at least the read command and the second address signal into a read packet; broadcasting the				

传统的内存设备(例如 **DRAM**)难以满足不断增长的数据带宽需求,导致计算机系统出现性能瓶颈,并且现有的测试系统与新的内存设计不兼容,需要大量投资和时间来适应。该专利通过高容量、高带宽存储器件架构,利用具有通过宽总线连接的堆叠 **DRAM** 芯片,具有管理数据串行化和反序列化的逻辑芯片,以及数据包生成器和广播器,可通过重新格式化测试信号使用传统设备进行测试,从而允许使用传统测试仪进行高效的数据传输和存储设备测试,从而增强系统性能并减少对昂贵的新测试基础设施的需求。

[illegible]

利要求	層上方，其中該基材的一表面直接地接觸該模層的一表面，且其中該晶粒的一主動側背離該基材；以及一通模導孔，其經形成通過該模層，其中該通模導孔係藉由嵌入該模層中之一錫球而電氣地耦接至嵌入該基材中之一接觸件，其中該錫球鄰接該接觸件，其中該焊球之一最上表面係與該接觸件和該模層之一介面共平面，且其中該焊球之該最上表面在該模層中的位置係在該晶粒之一厚度方向上相較該晶粒為高。
-----	---

使用嵌入式晶圆级球栅阵列(EWL B)或嵌入式面板电级球栅阵列(EPLB)技术的当前包装固定解决方案(EWL B)技术面临挑战，这会降低焊料高度增加的厚度，并且需要厚模具层以承受厚的组件压力，从而限制了厚度较高的厚度。该专利公开了一种半导体包装设计，可以通过在成型过程中直接将基板安装到模具层上，从而消除了焊料的颠簸，从而使较薄的霉菌层并减少了整体包装的厚度，从而通过使用贯穿电源的 VIA 和导电结构(如导电球或支柱)来实现电气耦合。与传统的基于 EWL B/EPLB 的流行设备相比,这种方法可将包装厚度降低约 50μm 或更高，从而提高机械稳定性和处理效率，同时实现更紧凑的设备设计。

4.2 混合键合

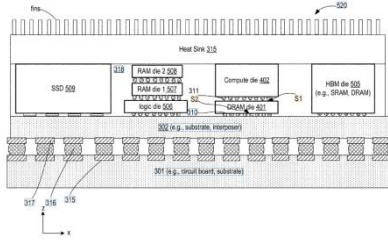
4.2.1 技术简介

HBM（高带宽内存）技术中的混合键合技术，是支撑 HBM 实现“超高互联密度、低延迟、高可靠性”的核心先进封装工艺，本质是通过金属（铜）与介质（氧化硅）的直接键合，实现 HBM3D 堆叠中“DRAM 芯片层间”“芯片与中介层间”的高精度电连接，是 HBM 向更高层数、更高带宽迭代的关键技术之一。

核心原理是通过“铜-铜+介质-介质”实现键合。混合键合并非传统的“焊点连接”，而是通过精密工艺让芯片表面的金属与介质直接接触并结合。先在待堆叠的 DRAM 芯片/中介层表面，同步制备出铜凸点（用于电信号传输）和氧化硅介质层（用于绝缘与结构支撑），确保两者的表面平整度达到纳米级；在高温（~300℃）、高压的环境下，将不同芯片/中介层的“铜凸点-铜凸点”“氧化硅-氧化硅”精准对齐并贴合，使铜原子与氧化硅分子直接扩散结合，形成无缝的互联通道。

4.2.2 重点专利解读

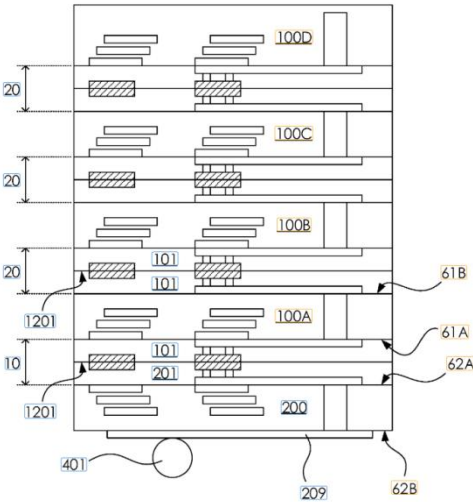
1. 专利解读之 US11784164B2

申请号	US17/472308	申请日	2021-09-10	同族专利被引用专利数量	165
公开号	US11784164B2			法律状态/事件	授权
标题	3D stacked compute and memory with copper-to-copper hybrid bond (采用铜-铜混合键合的 3D 堆叠式计算和存储器件)				
申请人(专利权人)	凯普勒运算公司				
IPC 分类号	H01L25/065 H01L23/31 H01L23/498 H01L23/538 H01L23/48 H01L23/367 H01L23/00 H01L25/18 H01L25/00 H10B41/42 H10B12/00				
发明目的	所提出的解决方案涉及一种集成电路封装配置,其中存储器芯片位于计算芯片下方或旁边,利用高密度硅通孔 (TSV) 和微凸块进行互连,从而允许直接面对面对准 有源器件并将 TSV 密度与微凸块密度解耦,从而增强带宽和热管理。				
主要附图					
第一权利要求	1. A processor system comprising: a substrate having a top surface; and a stack of dies on the top surface of the substrate, wherein the stack of dies includes: a first die comprising processing cores and a first memory, wherein the first memory comprises a first memory type; a second die vertically stacked with the first die, wherein the second die comprises a second memory of a second memory type, wherein the first die and the second die are directly connected via copper-to-copper hybrid bond which are not solder bumps, wherein the first die has a first surface, and wherein the second die has a second surface, wherein the first surface is to face the second surface such that the first surface is to completely overlap the second surface or the second surface is to completely overlap the first surface; a first silicon structure adjacent to the second die but not vertically stacked with the second die, wherein the first silicon structure comprises first active and/or passive devices; and a second silicon structure adjacent to the second die but not vertically stacked with the second die, wherein the first silicon structure and the second silicon structure are on either side of the second die, and wherein the second silicon				

	structure comprises second active and/or passive devices.
--	---

由于计算芯片顶部堆叠了动态随机存取存储器 (DRAM)，现有人工智能处理系统面临 I/O 带宽和热管理方面的限制，导致延迟和功耗增加。该专利所提出的解决方案涉及一种集成电路封装配置，其中存储器芯片位于计算芯片下方或旁边，利用高密度硅通孔 (TSV) 和微凸块进行互连，从而允许直接面对面对准有源器件并将 TSV 密度与微凸块密度解耦。这种配置通过减少延迟、功耗和散热问题来提高人工智能系统性能，同时在内存和计算芯片之间实现超高带宽，减少穿孔要求并提高散热解决方案的利用率。

2.专利解读之 US12048142B2

申请号	US18/307607	申请日	2023-04-26	同族专利被引用专利数量	39
公开号	US12048142B2			法律状态/事件	授权
标题	Methods for manufacturing a plurality of semiconductor structures and system in package（制造多个半导体结构和系统级封装的方法）				
申请(专利权)人	爱普科技股份有限公司				
IPC 分类号	H01L23/495 H01L23/00 H01L23/522 H10B12/00				
发明目的	使用混合键合通过晶圆堆叠将存储器结构与控制电路集成,消除了晶圆上芯片操作的需要,并通过使用混合键合层键合存储器和控制电路结构来降低堆叠缺陷的风险,这使得 提高生产效率并降低缺陷率。				
主要附图					
第一权利要求	1. A method for manufacturing a plurality of semiconductor structures, the method comprising: forming a first hybrid bonding layer over a first wafer having a plurality of first memory structures, wherein the				

	plurality of first memory structures are in contact with the first hybrid bonding layer; forming a second hybrid bonding layer over a second wafer having a plurality of control circuit structures, wherein the plurality of control circuit structures are in contact with the second hybrid bonding layer; bonding the first wafer and the second wafer through a first hybrid bonding operation to connect the first hybrid bonding layer and the second hybrid bonding layer, thereby obtaining a first bonded wafer; and singulating at least the first wafer, the second wafer, the first hybrid bonding layer, and the second hybrid bonding layer to obtain the plurality of semiconductor structures.
--	---

由于制造工艺的不兼容性, DRAM 和逻辑结构在半导体系统中的集成具有挑战性, 导致生产成本高和效率低, 特别是在依赖微凸块操作和 KGD 选择的高带宽内存 (HBM) 系统中。该专利使用混合键合通过晶圆堆叠将存储器结构与控制电路集成, 消除了晶圆上芯片操作的需要, 并通过使用混合键合层键合存储器和控制电路结构来降低堆叠缺陷的风险, 这使得提高生产效率并降低缺陷率, 同时还通过定制控制电路上堆叠的存储器芯片的数量来增加存储器访问带宽, 从而提高半导体结构的整体性能。

4.3 热管理和可靠性

4.3.1 技术简介

在 HBM (高带宽内存) 技术中, 热管理和可靠性是保障其“高带宽、高堆叠层数”特性稳定落地的核心支撑——HBM 的 3D 堆叠结构 (多层芯片密集贴合) 与高负载运行场景 (AI/高性能计算), 天然带来了热量聚集、结构应力等问题, 二者的技术优化直接决定 HBM 能否长期稳定工作。

HBM 的热管理是解决“高密度堆叠下的热量聚集”问题的关键技术。指通过技术手段控制其工作温度, 避免热量堆积导致性能下降、器件损坏的技术体系。多层 DRAM 芯片垂直密集堆叠 (当前主流 12 层), 单颗芯片运行时的功耗 (~1-2W) 叠加后, 热量会在狭小的封装空间内聚集; 层间通过 TSV/混合键合紧密连接, 传统“风冷+PCB 散热”的热量传递路径长、效率低, 易导致芯片核心温度超过 85℃ (DRAM 的安全温度上限), 触发降频甚至硬件失效。为解决热量问题, HBM 采用针对性的散热设计, 如 (1) 芯片超薄化, 将 DRAM 芯片

减薄至 30-50 微米（传统 DRAM 芯片厚度超 100 微米），减少热阻，让热量更易向外部传递；（2）利用 TSV 热传导增强，利用 TSV 的金属（铜）通道，既传输信号也传递热量，将内部芯片的热量导至封装表面；（3）高导热封装材料，中介层采用高导热硅材料，键合层使用导热系数 $\geq 5W/(m \cdot K)$ 的导电胶，提升层间热传递效率；（4）近封装液冷：在 HBM 封装上方直接集成微型液冷模块（如冷板），近距离带走热量（AI 服务器中 HBM 液冷已成为标配）；（6）动态功耗调节：通过芯片固件动态调整 HBM 的运行负载，高温区域临时降低带宽，避免局部过热。

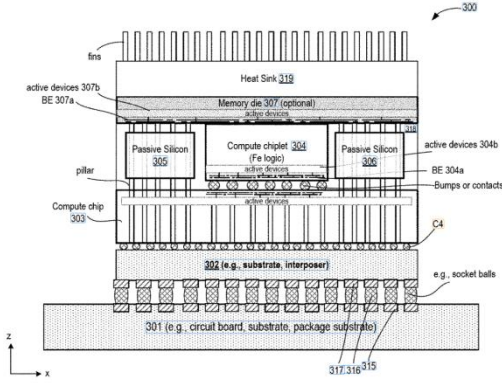
HBM 的可靠性是保障“复杂结构下的长期稳定运行”的技术手段，指其在长期、高负载运行中，保持性能稳定、避免结构/互联失效的能力——HBM 的 3D 堆叠、高密度键合/TSV 结构，天然存在机械应力、互联老化等风险。

HBM 的复杂结构易引发多类失效，如（1）机械应力失效，多层芯片堆叠的压力、温度变化导致的热胀冷缩差异（不同材料热膨胀系数不匹配），会使 TSV、混合键合处出现裂纹；（2）互联失效，TSV 的金属（铜）长期承载电流，会出现“电迁移”（铜原子被电流冲击位移），导致 TSV 电阻增大甚至断路；（3）混合键合处的接触界面易因老化出现接触不良；（4）数据可靠性，高带宽运行下的信号干扰、温度波动，易导致存储数据出错（比特翻转）。

4.3.2 重点专利解读

1.专利解读之 US11791233B1

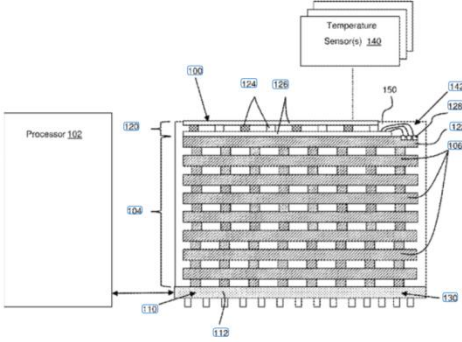
申请号	US17/396585	申请日	2021-08-06	同族专利被引用专利数量	44
公开号	US11791233B1			法律状态/事件	授权 期限延长
标题	Ferroelectric or paraelectric memory and logic chiplet with thermal management in a multi-dimensional packaging（采用多维封装的带热管理功能的铁电或顺电存储器和逻辑芯片）				
申请(专利权)人	凯普勒运算公司				
IPC 分类号	H01L23/367 H01L23/00 H01L25/16 H01L23/538 H01L23/498 H01L23/48 H10B51/20 H10B51/40 H10B53/20 H10B53/40				

	G06N20/00
发明目的	所提出的解决方案涉及逻辑叠加逻辑堆叠配置,其中计算芯片位于存储芯片顶部,计算芯片中使用铁电或顺电逻辑,通过将热量放置在计算芯片上,从而实现超高带宽和高效热管理,使计算芯片更靠近散热器并减少内存芯片的穿孔要求。
主要附图	
第一权利要求	1. An apparatus comprising: a substrate; a first die on the substrate, wherein the first die comprises a first compute logic; and a second die stacked on the first die, wherein the second die comprises a second compute logic, and wherein the second die comprises ferroelectric or paraelectric logic including majority, minority, and/or threshold logic gates.

当前的人工智能处理器系统面临着减少延迟和功耗以及管理硬件密集型计算引起的热问题的挑战,特别是在计算芯片堆叠在内存芯片下方的多维封装设置中,导致热管理困难和有限的 I/O 带宽。该专利所提出的解决方案涉及逻辑叠加逻辑堆叠配置,其中计算芯片位于存储芯片顶部,计算芯片中使用铁电或顺电逻辑,通过将热量放置在计算芯片上,从而实现超高带宽和高效热管理,使计算芯片更靠近散热器并减少内存芯片的穿孔要求。这种配置通过减少延迟和功耗、实现超高带宽和高效热管理来提高人工智能系统性能,同时最大限度地减少与传统堆叠配置相关的热问题。

2.专利解读之 US10083891B1

申请号	US15/789108	申请日	2017-10-20	同族专利被引用专利数量	21
公开号	US10083891B1			法律状态/事件	授权 权利转移 质押
标题	Memory having thermoelectric heat pump and related IC chip package and method (具有热电热泵的存储器及相关 IC 芯片封装和方法)				
申请(专利权)人	格罗方德美国公司				

IPC 分类号	H01L23/38 H01L23/48 H01L23/367 H01L23/498 H01L25/16 H01L23/34 H01L27/108 H01L35/10 H10N10/82
发明目的	将热电热泵直接耦合到 IC 芯片封装内的 3D DRAM 堆栈,以及内存控制器和温度控制器,可以对内存进行精确的温度控制,使其在最佳范围内运行,同时允许处理器在较高的温度下运行。
主要附图	
第一权利要求	1. An integrated circuit (IC) chip package, comprising: a base substrate; an interposer substrate including a plurality of wires therein, the interposer substrate operatively coupled to the base substrate; a processor operatively positioned on the interposer substrate; a memory operatively positioned on the interposer substrate and operatively coupled to the processor through the interposer substrate, the memory including: a three dimensional, dynamic random access memory (3D DRAM) stack, and a thermoelectric heat pump coupled directly to an uppermost layer of the 3D DRAM stack; a memory controller operatively coupled to the 3D DRAM stack to control operation of the 3D DRAM stack; a temperature controller operatively coupled to the thermoelectric heat pump for controlling a temperature of the 3D DRAM stack using the thermoelectric heat pump; and a lid thermally coupled to an uppermost surface of the processor and an uppermost surface of the thermoelectric heat pump.

由于处理器和 DRAM 等存储器之间的工作温度不匹配,集成电路 (IC) 芯片封装面临着挑战,其中盖子和散热器等散热方法无法充分解决温差问题,从而导致内存保留时间缩短等性能问题。该专利将热电热泵直接耦合到 IC 芯片封装内的 3D DRAM 堆栈,以及内存控制器和温度控制器,可以对内存进行精确的温度控制,使其在最佳范围内运行,同时允许处理器在较高的温度下运行,从而解决温度失配问题并增强 IC 芯片封装的热管理。

4.4 接口&协议

4.4.1 技术简介

在 HBM（高带宽内存）技术中，接口是指 HBM 与处理器（GPU/AI 芯片）之间的物理连接方式、电气特性与硬件交互规格；协议是指双方遵循的数据传输规则、命令格式、时序逻辑等通信标准——二者共同决定了 HBM 的数据传输能力，是实现“高带宽、低延迟”的基础。

（1）HBM 的接口可实现封装内的“高带宽物理连接”。HBM 的接口并非传统内存的板卡插槽（如 DDR 的 DIMM 插槽），而是封装内部的芯片间接口（位于 HBM 与处理器的中介层上），核心特征是“超高位宽、紧耦合互联”：HBM 通过中介层（Interposer）与处理器紧耦合封装，接口是中介层上的高密度金属互联线路，连接 HBM 的 I/O 引脚与处理器的内存控制器引脚；

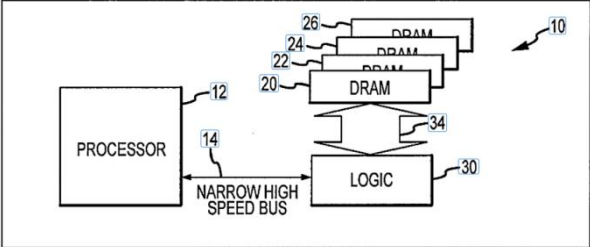
核心参数包括位宽和电气特性。其中，HBM 的接口位宽是其高带宽的关键——传统 DDR 内存位宽仅 64 位，而 HBM 的位宽从 HBM1 的 1024 位，提升至 HBM3 的 2048 位（单颗 HBM 芯片堆的位宽），直接决定了数据并行传输的通道数量；电气特性则包括信号传输速率（HBM3 达 6.4Gbps/引脚）、工作电压（HBM3 降至 1.1V 以降低功耗）、信号完整性设计（通过差分信号、阻抗匹配减少高带宽下的干扰）。

（2）HBM 的协议包括遵循 JEDEC 标准的“高带宽通信规则”。HBM 的协议由 JEDEC（国际固态技术协会）统一制定（对应 JESD235 系列标准），不同代际的 HBM 对应不同的协议版本，核心是规范“命令、地址、数据”的传输逻辑：协议标准版本包括：HBM1 对应 JESD235；HBM2 对应 JESD235B；HBM3 对应 JESD235F（最新版本）；核心协议内容有命令集、地址映射、数据传输时序、错误校验等。其中，命令集定义了 HBM 的操作命令（如激活、读写、预充电、刷新等），与传统 DRAM 命令逻辑兼容，但优化了高带宽场景下的命令并行性；地址映射规范了存储地址与 HBM 内部存储单元的对应关系，适配 3D 堆叠结构的多层芯片寻址；数据传输时序定义了命令、地址、数据的传输时机（如读

写延迟、时钟同步方式），保证高速率下的数据正确性；错误校验包括主流 HBM（如 HBM2E/HBM3）支持 ECC（纠错码）协议，通过额外的校验位检测并纠正数据传输中的比特错误，提升可靠性。

4.4.2 重点专利解读

1. 专利解读之 US8127204B2

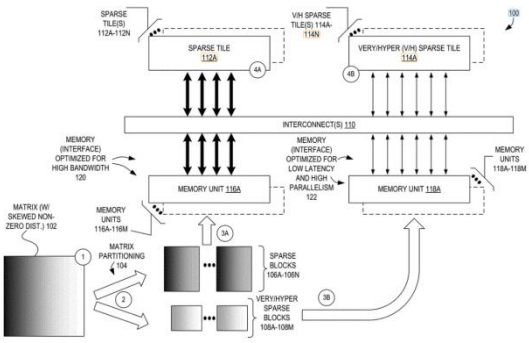
申请号	US12/192796	申请日	2008-08-15	同族专利被引用专利数量	202
公开号	US8127204B2			法律状态/事件	授权 期限延长 质押
标题	Memory system and method using a memory device die stacked with a logic die using data encoding, and system using the memory system（使用数据编码与逻辑芯片堆叠的存储器件芯片的存储系统和方法,以及使用该存储系统的系统）				
申请(专利权)人	美光科技公司				
IPC 分类号	G06F11/00				
发明目的	具有使用数据总线反转技术连接到逻辑芯片的堆叠式 DRAM 芯片的存储器系统,其中逻辑芯片执行错误检查和纠正、电源管理和数据编码,并利用具有硅通孔的宽总线来最大化芯片面积和 在保持高带宽的同时最大限度地降低功耗。				
主要附图					
第一权利要求	1. A memory system, comprising: a plurality of stacked memory device dice containing a plurality of memory cells; and a logic die coupled to the memory device dice through a plurality of through silicon vias, the logic die being operable to transfer data to and from the memory device dice in a packet each of which includes a serial burst of a plurality of parallel data bits, the logic die further comprising: an error checking system configured to generate a plurality of error checking bits from the write data transferred from the logic die to the memory device dice for storage in the memory device dice, the error checking system being configured to transfer the generated error checking bits from the logic die to the memory device dice in a serial				

	burst of parallel error checking bits using respective through silicon vias, the error checking system further being structured to receive the read data transferred from the memory device dice to the logic die and corresponding error checking bits transferred from the memory device dice in a serial burst of parallel error checking bits using the respective through silicon vias, the error checking system further being configured to use the received error checking bits to determine if the corresponding read data contains at least one erroneous read data bit; and a data encoding system receiving the write data and being configured to use an encoding algorithm to encode the write data before the write data are transferred to the memory device dice and to transfer to the memory device dice at least one data encoding bit indicative of the encoding of the write data, the at least one data encoding bit being transferred to the memory device dice using at least one of the through silicon vias through which the error checking bits are transferred.
--	---

传统存储器件(例如 DRAM)面临数据带宽、功耗和芯片面积利用率方面的限制，特别是在堆叠存储器件芯片时，这可能会加剧数据保留错误等问题并增加功耗。该专利公开了一种具有使用数据总线反转技术连接到逻辑芯片的堆叠式 DRAM 芯片的存储器系统，其中逻辑芯片执行错误检查和纠正、电源管理和数据编码，并利用具有硅通孔的宽总线来最大化芯片面积和在保持高带宽的同时最大限度地降低功耗。该解决方案通过最大化内存容量的芯片面积、降低功耗以及在不增加终端数量或功耗的情况下实现高带宽来增强内存系统性能，有效解决传统内存器件的局限性。

2.专利解读之 US10180928B2

申请号	US15/396513	申请日	2016-12-31	同族专利被引用专利数量	126
公开号	US10180928B2			法律状态/事件	授权 期限延长 权利转移
标题	Heterogeneous hardware accelerator architecture for processing sparse matrix data with skewed non-zero distributions（用于处理具有偏态非零分布的稀疏矩阵数据的异构硬件加速器架构）				
申请(专利权)人	阿尔特拉公司				
IPC 分类号	G06F17/16 H03M7/30 G06F9/30				

发明目的	采用异构硬件加速器架构,包括用于常规稀疏矩阵的稀疏瓦片和针对低延迟、随机和并行数据传输进行优化的非常/超稀疏瓦片,通过分区和优化每个瓦片,允许在同一矩阵内有效处理不同的稀疏级别。
主要附图	
第一权利要求	1. A method in a hardware processor for processing sparse matrix data from a matrix having a skewed non-zero distribution comprising: determining, by the hardware processor, that one or more computational tasks involving the matrix are to be performed; partitioning, by the hardware processor, the matrix into a first plurality of blocks and a second plurality of blocks, wherein the first plurality of blocks includes one or more sections of the matrix that are sparse, and wherein the second plurality of blocks includes another one or more sections of the matrix that are very- or hyper-sparse; and causing, by the hardware processor, one or more sparse tiles of the hardware processor to perform one or more matrix operations for the one or more computational tasks using the first plurality of blocks and further causing one or more very/hyper sparse tiles of the hardware processor to perform the one or more matrix operations for the one or more computational tasks using the second plurality of blocks, wherein the one or more sparse tiles access ones of the first plurality of blocks over a first interface that has a higher bandwidth than that of a second interface, and wherein the one or more very/hyper sparse tiles access ones of the second plurality of blocks over the second interface that has a lower latency than that of the first interface.

由于访问和处理稀疏结构的开销较高，当前架构在处理非常稀疏和超稀疏矩阵数据时效率低下，导致矩阵运算的性能不佳。该专利采用异构硬件加速器架构，包括用于常规稀疏矩阵的稀疏瓦片和针对低延迟、随机和并行数据传输进行优化的非常/超稀疏瓦片，通过分区和优化每个瓦片，允许在同一矩阵内有效处理不同的稀疏级别。这种方法通过根据特定的稀疏级别定制处理来显著提高性能，与处理非常稀疏和超稀疏数据的通用系统和现有架构相比，性能显著提高。

4.5 设备和材料

4.5.1 设备

与 HBM 技术有关的设备相关专利主要集中在测试技术领域，专门针对 HBM 的制造设备目前的专利极少。故以下综合智慧芽数据库对专利的价值评估、同族专利申请数量、同族专利被引用数量以及 IPC 分类号数量选取重点专利予以解读。

1.专利解读之 CN114974393A

申请号	CN202210673440.8	申请日	2017-06-05	同族专利被引用专利数量	26
公开号	CN114974393A			法律状态 / 事件	实质审查
标题	一种接口芯片设备及一种共享接口芯片上的校正存储器的方法				
申请(专利权)人	美光科技公司				
IPC 分类号	G11C29/44 G11C29/42 G11C29/14 G11C29/00				
发明目的	设计了一种接口芯片设备，包含测试电路和控制电路，能够检测存储器芯片中的缺陷存储器单元，存储缺陷地址信息，并基于此信息响应存取请求，部分修复或重定向存取操作以避免缺陷单元。				
主要附图					
第一权利要求	1.一种设备，其包括：至少一个存储器芯片，所述至少一个存储器芯片包括多个存储器单元；以及接口芯片，所述接口芯片耦合到所述至少一个存储器芯片并且包括控制电路和存储区，所述存储区包括静态随机存取存储器单元，其中，在初始化操作期间，所述控制电路经配置以检测所述至少一个存储器芯片的所述多个存储器单元中的一或多个缺陷存储器单元，并且，在所述初始化操作期间，在检测到所述一或多个缺陷存储器单元时将所述一或多个缺陷存储器单元的第一缺陷地址信息存储到所述存储区的所述静态随机存取存储器单元的一部分中，其中所述存储区的所述静态随机存取存储器单元的剩余部分作为备用存储器，以在所述接口芯片正常操作期间替换所述一或多个缺陷单元。				

现有 3D 存储器装置在缺陷单元数量大于可修复单元数量时，包装后修复功能难以有效修复缺陷，尤其是当冗余单元属于缺陷单元时，难以进行修复。该专

利公开的接口芯片设备包含测试电路和控制电路，能够检测存储器芯片中的缺陷存储器单元，存储缺陷地址信息，并基于此信息响应存取请求，部分修复或重定向存取操作以避免缺陷单元。实现了对存储器芯片中的缺陷单元的检测和部分修复或重定向，提高了存储器的可靠性和数据存取效率，减少了功耗和芯片尺寸。

2.专利解读之 CN112585736B

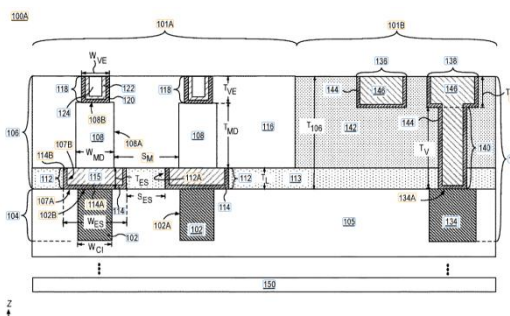
申请号	CN201980054919.X	申请日	2019-09-20	同族专利被引用专利数量	15
公开号	CN112585736B			法律状态 / 事件	授权
标题	用于选择性 TSV 块测试的设备				
申请(专利权)人	美光科技公司				
IPC 分类号	H01L21/66 H01L23/498 H01L23/48 H10B80/00				
发明目的	设计了一种包含接口裸片和存储器裸片的设备，通过在 IF 裸片上集成选择性耦合的开关电路和放大器，利用多个测试电路共享组件，减少了存储器装置的组件数量和空间占用，并通过开关电路选择性地耦合到放大器以实现多种测试功能。				
主要附图					
第一权利要求	1.一种半导体设备，其包括：接口 IF 裸片；及至少一个存储器裸片，其中所述至少一个存储器裸片通过多个衬底穿孔 TSV 堆叠于所述 IF 裸片上方；其中所述 IF 裸片包括：开关电路，其经配置以选择多个测试中的一者；以及仪表放大器，其经配置以耦合到所述多个 TSV 中的目标 TSV 以执行所述多个测试中的经选择一者，所述多个测试包含：第一测试，其用以测量和所述多个 TSV 中的所述目标 TSV 与所述多个 TSV 中的一或多个其它 TSV 之间的电压降有关的第一电压降；第二测试，其用以测量和所述多个 TSV 中的所述目标 TSV 与第一电力供应线之间的电压降有关第二电压降；第三测试，其用以测量和所述多个 TSV 中的所述目标 TSV 与第二电力供应线之间的电压降有关的第三电压降；及第四测试，其用以测量和跨越形成于所述多个 TSV 周围的导电线的电压降有关的第四电压降。				

现有半导体存储器装置中，测试电路系统占据较大空间且组件多，影响装置的紧凑性和效率，尤其是在测量 TSV 之间的电压降和电流泄漏等测试时，需要多个放大器和组件，导致复杂性和占用面积增加。该专利公开了一种包含接口裸片和存储器裸片的设备，通过在 IF 裸片上集成选择性耦合的开关电路和放大器，利用多个测试电路共享组件，减少了存储器装置的组件数量和空间占用，并通过开关电路选择性地耦合到放大器以实现多种测试功能。实现在不增加存储器装置空间占用的情况下，进行多种测试电路的功能集成，减少组件数量，提高测试效率和装置的紧凑性，简化测试电路的布局。

4.5.2 材料

与 HBM 技术有关的材料相关专利数量较少，大部分集中在散热方向，并且是和封装技术一起布局。故以下综合智慧芽数据库对专利的价值评估、同族专利申请数量、同族专利被引用数量以及 IPC 分类号数量选取重点专利予以解读。

1.专利解读之 US11839070B1

申请号	US17/553511	申请日	2021-12-16	同族专利被引用专利数量	39
公开号	US11839070B1			法律状态/事件	授权 期限延长
标题	High density dual encapsulation materials for capacitors and methods of fabrication（用于电容器的高密度双层封装材料及其制造方法）				
申请(专利权)人	凯普勒运算公司				
IPC 分类号	H01L21/00 H10B53/20 G11C11/22 H01L23/31 G11C5/02 H01L49/02 H01L23/538				
发明目的	实现了双氢阻挡层系统，其包括直接邻近存储器件的绝缘氢阻挡层和集成到接触电极中的导电氢阻挡层，以及用于防止氢扩散的高密度非晶介电层，从而允许集成没有间隔层的高密度阵列中的铁电和顺电电容器。				
主要附图					

第一权利要求	1. A device comprising: a first region comprising: a first conductive interconnect within a first dielectric in a first level; a second level above the first level, the second level comprising: an electrode structure on the first conductive interconnect, the electrode structure comprising: a first conductive hydrogen barrier layer; and a first conductive fill material on the first conductive hydrogen barrier layer, wherein the electrode structure comprises a first lateral thickness; an etch stop layer comprising an insulator, the etch stop layer laterally surrounding the electrode structure; a memory device comprising a ferroelectric material or a paraelectric material on least a portion of the electrode structure, the memory device further comprising a second lateral thickness, wherein the second lateral thickness is less than the first lateral thickness; an encapsulation layer comprising a first amorphous, greater than 90% film density hydrogen barrier material directly on a sidewall of the memory device; a second dielectric spanning the first region, the second dielectric comprising a second amorphous, greater than 90% film density hydrogen barrier material adjacent the encapsulation layer; a via electrode on at least a portion of the memory device, the via electrode comprising: a second conductive hydrogen barrier layer comprising a lateral portion in contact with the memory device; substantially vertical portions directly adjacent to the second dielectric; and a second conductive fill material adjacent to the second conductive hydrogen barrier layer; a second region adjacent to the first region, the second region comprising: a second conductive interconnect within the first level, wherein the second level further comprising: a third conductive interconnect; a via structure coupled between the second conductive interconnect and the third conductive interconnect; and a third dielectric on the etch stop layer, the third dielectric directly adjacent to the second dielectric and the encapsulation layer, wherein the third dielectric comprises a less than 90% film density material, and wherein the third dielectric laterally surrounds a portion of the via structure.
--------	---

由于氢损伤，将电容器器件与铁电或顺电材料集成在与互连相同的平面上具有挑战性，并且现有方法难以形成有效的阻挡层，特别是当器件间距减小时，需要针对高密度电容器阵列的替代集成方法。该专利的双氢阻挡层系统包括直接邻近存储器件的绝缘氢阻挡层和集成到接触电极中的导电氢阻挡层，以及用于防止氢扩散的高密度非晶介电层，从而允许集成没有间隔层的高密度阵列中的铁电和顺电电容器。双氢阻挡层可有效保护电容器器件免受氢损坏，即使在紧密间隔的

配置中，也能通过防止氢扩散来实现高密度电容器阵列的集成，从而提高可靠性和集成密度。

2.专利解读之 KR102854366B1

申请号	KR1020210063200	申请日	2021-05-17	同族专利被引用专利数量	5
公开号	KR102854366B1			法律状态/事件	授权
标题	열전달 물질 층 및 반도체 패키지를 포함하는 전자 장치 (包括热传递材料层和半导体封装的电子装置)				
申请(专利权)人	三星电子株式会社(韩国)				
IPC 分类号	H05K7/20 H01L23/373 H05K1/02				
发明目的	一种电子设备设计，包括带有半导体封装和热传递材料层的基板，其中热传递材料填充板上的通孔并暴露于空隙空间，通过防止材料流向半导体封装的雕刻图案增强散热。				
主要附图					
第一权利要求	청구항 1 서로 대향하는 제 1 면 및 제 2 면을 갖는 기판;상기 기판의 상기 제 1 면과 마주보는 제 1 안쪽 면 및 상기 제 1 안쪽 면과 대향하는 제 1 바깥쪽 면을 갖고, 적어도 하나의 제 1 관통 홀, 및 적어도 하나의 제 2 관통 홀을 포함하는 제 1 플레이트;상기 기판의 상기 제 1 면 상에 각각 실장되고, 상기 기판의 상기 제 1 면과 상기 제 1 플레이트의 상기 제 1 안쪽 면 사이에 배치되고, 서로 이격되는 제 1 반도체 패키지 및 제 2 반도체 패키지;상기 제 1 반				

	도체 패키지와 상기 제 1 플레이트 사이에서, 상기 제 1 반도체 패키지의 상부면 및 상기 제 1 플레이트의 상기 제 1 안쪽 면과 접촉하고 상기 적어도 하나의 제 1 관통 홀의 적어도 일부를 채우는 제 1 열전달 물질 층; 및 상기 제 2 반도체 패키지와 상기 제 1 플레이트 사이에서 상기 제 2 반도체 패키지의 상부면 및 상기 제 1 플레이트의 상기 제 1 안쪽 면과 접촉하고 상기 적어도 하나의 제 2 관통 홀의 적어도 일부를 채우는 제 2 열전달 물질 층을 포함하되, 상기 제 1 열전달 물질 층의 측면 및 상기 제 2 열전달 물질 층의 측면 중 적어도 하나는 상기 제 1 플레이트의 상기 제 1 안쪽 면과 상기 기판의 상기 제 1 면 사이의 빈 공간에 노출되는 전자 장치.(基板具有彼此相对的第一表面和第二表面;第一板具有面向基板第一表面的第一内表面和面向第一内表面的第一外表面,第一板包括至少一个第一通孔和至少一个第二通孔;第一半导体封装和第二半导体封装均安装在基板的第一表面上,第一半导体封装和第二半导体封装设置在基板的第一表面和第一板的第一内表面之间,并且彼此间隔开;第一导热材料层位于第一半导体封装和第一板之间,第一导热材料层接触第一半导体封装的上表面和第一板的第一内表面并填充至少一个第一通孔的至少一部分;并且,第二半导体封装与第一板之间具有第二热传递材料层,第二热传递材料层接触第二半导体封装的上表面和第一板的第一内表面,并填充至少一个第二通孔的至少一部分,其中,第一热传递材料层的侧面和第二热传递材料层的侧面中的至少一个暴露于第一板的第一内表面与基板的第一表面之间的空白空间。)
--	---

由于电子产品的小型化和高性能,其产生的热量不断增加,这对开发具有有效散热特性的高性能设备提出了挑战。该专利公开了一种电子设备设计,包括带有半导体封装和热传递材料层的基板,其中热传递材料填充板上的通孔并暴露于空隙空间,通过防止材料流向半导体封装的雕刻图案增强散热。该设计通过稳定传热材料层和增加接触面积来有效散热,提高整体散热特性。